

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No.: 43890-519

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Katsumi MURAI, et al.

Serial No.:

Group Art Unit:

Filed: May 25, 2001

Examiner:

For: SEMICONDUCTOR MEMORY AND CONTROLLING METHOD THEREOF



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-156332, filed May 25, 2000

A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in black ink, appearing to read 'Michael E. Fogarty', written over the printed name.

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: May 25, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

43890-519
K. MURAI et al.
May 25 2001
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日
Date of Application: 2000年 5月26日

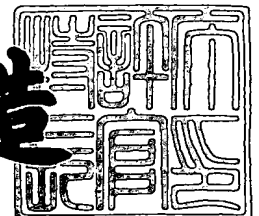
出 願 番 号
Application Number: 特願2000-156332

出 願 人
Applicant(s): 松下電器産業株式会社

2000年10月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3084462

【書類名】 特許願

【整理番号】 2054520067

【提出日】 平成12年 5月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/528
G11C 5/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 堀川 じゅん

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 村井 克己

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置と制御方法

【特許請求の範囲】

【請求項 1】 行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 2】 行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される、前記メモリセル上に配置された第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 3】 前記第 1 及び第 2 のゲート対は、前記センスアンプと隣接して配置されることを特徴とする請求項 1 乃至 2 記載の半導体装置。

【請求項 4】 行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲートと、第 2 のゲートと、動作時に第 1 のゲートを介して選択された列のビット線対のいずれか一方が接続される第 1 のデータ線と、第 2 のゲートを介して第 1 のデータ線と接続される第 2 のデータ線とからなり、第 1 のデータ線と第 2 のデータ線とは交差して配置されている半導体装置。

【請求項 5】 行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が時分割で接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、

第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 6】 演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 7】 演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲートと、第 2 のゲートと、動作時に第 1 のゲートを介して選択された列のビット線対の一方が接続される第 1 のデータ線と、第 2 のゲートを介して第 1 のデータ線と接続される第 2 のデータ線とからなり、第 1 のデータ線と第 2 のデータ線とは交差して配置されている半導体装置。

【請求項 8】 演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が時分割で接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 9】 演算機能を有する複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 1 0】 演算機能を有する複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲートと、第 2 のゲートと、動作時に第 1 のゲートを介して選択された列のビット線対の一方が接続される第 1 のデータ線と、第 2 のゲートを介して第 1 のデータ線と接続される第 2 のデータ線とからなり、第 1 のデータ線と第 2 のデータ線とは交差して配置されている半導体装置。

【請求項 1 1】 演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が時分割で接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置。

【請求項 1 2】 前記 1 つあるいは複数のプロセッサエレメントは前記第 2 のデータ線あるいはデータ線対とデータの通信を行う手段を有することを特徴とする請求項 6 乃至 1 1 記載の半導体装置。

【請求項 1 3】 請求項 6 乃至 1 1 記載の半導体装置において、1 つあるいは複数グループにまとめられた複数メモリセルを制御する制御手段を複数有し、制御手段はそれぞれ独立に前記グループに対する制御信号を有することを特徴とする半導体装置。

【請求項 1 4】 前記制御手段は、前記複数のプロセッサエレメントの 1 部であることを特徴とする請求項 6 乃至 1 1 記載の半導体装置。

【請求項 1 5】 グループにまとめられた複数のメモリセルとの間でデータ通信を行うプロセッサエレメントがデータ通信を要求するステップと、前記データ通信の要求に対してデータ通信の制御を行うステップと、前記制御に基づく制御信号に従ってプロセッサエレメントと前記メモリセルとの間でデータ通信を行うステップとからなり、前記通信制御を行うステップにおいて、それぞれ独立にグ

ループにまとめられた複数のメモリセルに対する制御信号を有することを特徴とする制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、演算機能を有するプロセッサエレメント等とメモリとを同一チップ上に混載した半導体装置の低コスト、高性能、高速化に関する。

【0002】

【従来の技術】

近年、半導体記憶装置の微細化に伴い、プロセッサエレメントとメモリを同一チップ上に集積するいわゆるシステムLSIが実現されるようになってきた。さらに、処理速度の向上を目的とした並列処理を行うため、複数のプロセッサとメモリを混載したメモリ混載型マルチプロセッサが提案されている。メモリ混載型マルチプロセッサは、複数のプロセッサエレメントでメモリを共有する共有メモリ型マルチプロセッサと、複数のプロセッサエレメントがそれぞれメモリを占有するマルチプロセッサに分類される。プロセッサエレメントとメモリのすべての組み合わせによる接続が同時に可能な共有メモリ型マルチプロセッサでは、クロスバスイッチをアレイ状に配置したスイッチ群によって、それぞれ複数のプロセッサエレメントとメモリが相互に接続される方法が用いられることがある。

【0003】

図16は従来例1を説明する図である。

【0004】

図16は、従来の共有メモリ型マルチプロセッサにおけるプロセッサエレメントとメモリの相互接続の様子を模式的に示している。プロセッサエレメントとメモリ間は、通常はデータ、アドレス、制御信号を転送するバスで構成されている。1個のプロセッサエレメントとメモリの間のバスの本数がN本であるとする。図16に示すようにバスがN本の場合、同時には1個のプロセッサエレメントのみがメモリにアクセスできることになる。複数のプロセッサエレメントが同時

にメモリに対しアクセス要求をした場合には、他のプロセッサのメモリへのアクセス要求は現在アクセスしているプロセッサエレメントとの通信が終了し、バスが開放されるまで待たされることになる。

【0005】

図17は従来例2を説明する図である。

【0006】

図17のようにN本のバスをM組用意すると、M個のプロセッサエレメントとメモリの同時通信が可能となるが、バスの本数は $M \times N$ となるため、プロセッサエレメントの数が増えるとバスの本数が膨大になってしまう。

【0007】

図18は従来例3を説明する図である。

【0008】

図18ではプロセッサエレメントとメモリの間にクロスバー領域が設けられ、クロスバースイッチによってプロセッサエレメントとメモリが相互接続されている。クロスバースイッチはバススイッチを用いて1個のプロセッサエレメントと1個のメモリとの間に直接接続するバスを作る方法で、プロセッサエレメントとメモリのすべての組み合わせの接続が同時に実現可能である。

【0009】

また、上記の従来例2、従来例3においては、複数のプロセッサエレメントが同一のメモリに対して同時にアクセスすることはできないため、同一のメモリに対するプロセッサエレメントの要求の競合を調停する調停回路を有している。なお、従来のクロスバースイッチを用いたマルチプロセッサに関する先行技術文献としては、(B. ウイルキンソン著、計算機設計技法 マルチプロセッサシステム論)などが上げられる。

【0010】

【発明が解決しようとする課題】

しかしながら上記従来技術においては、図18に示すとおり、プロセッサエレメントとメモリの間にクロスバースイッチ領域を設けることにより、チップ面積が増大するという問題がある。プロセッサエレメント数やバスの本数が増えると

この問題はさらに深刻となり、結果としてクロスバーを用いたシステムは高価になってしまう。また、クロスバースイッチを設けない場合は、複数のプロセッサエレメントが同時に同一のメモリにアクセスすることができない。そのため、特に1チップでメモリ混載型マルチプロセッサを構成する場合、メモリのバス幅の増大によってシステムの性能が向上するが、チップ面積の増大によりコストが増加する。

【0011】

本発明は上記問題点に鑑みてなされたものであり、その目的とするところは、チップ面積を増大させることなく高速で高性能なメモリ混載型マルチプロセッサを提供することにある。

【0012】

【課題を解決するための手段】

本発明の請求項1に記載の半導体装置は、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第1のゲート対と、第2のゲート対と、動作時に第1のゲート対を介して選択された列のビット線対が接続される第1のデータ線対と、第2のゲート対を介して第1のデータ線対と接続される第2のデータ線対とからなり、第1のデータ線対と第2のデータ線対とは交差して配置されている。

【0013】

この構成により、通常メモリのデータ伝送に使用される第1のデータ線対をクロスバー配線として同時に使用することができるため、チップ面積の縮小化を図ることが可能である。

【0014】

本発明の請求項2に記載の半導体装置は、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第1のゲート対と、第2のゲート対と、動作時に第1のゲート対を介して選択された列のビット線対が接続される、前記メモリセル上に配置された第1のデータ線対と、第2のゲート対を介して第1のデー

タ線対と接続される第2のデータ線対とからなり、第1のデータ線対と第2のデータ線対とは交差して配置されている。

【0015】

この構成により、メモリセル領域を用いてクロスバー配線ができるため、チップ面積の縮小がはかれる。また、メモリセル領域を配線領域に用いると、例えばセンスアンプ領域に第2のデータ線対を配置したときと比較して、非常に多くのデータ線対が配置することが可能となる。この多くのデータ線対を用いて、同時にメモリとのデータ通信を行うことにより、高バンド幅のシステムが構築できる。

【0016】

本発明の請求項3に記載の半導体装置は、請求項1乃至2記載の半導体装置において、第1及び第2のゲート対がセンスアンプと隣接して配置されることを特徴とする。

【0017】

この構成により、センスアンプ領域を用いてクロスバースイッチを配置することができるため、第1のデータ線対と第2のデータ線対のクロス領域に配置していた従来と比較して、チップ面積の増大を抑えることが可能となる。さらに、センスアンプ領域の活性化領域内にスイッチを配置することができ、チップ面積の増大を抑制することが可能となる。

【0018】

本発明の請求項4に記載の半導体装置は、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第1のゲートと、第2のゲートと、動作時に第1のゲートを介して選択された列のビット線対のいずれか一方が接続される第1のデータ線と、第2のゲートを介して第1のデータ線と接続される第2のデータ線とからなり、第1のデータ線と第2のデータ線とは交差して配置されている。

【0019】

この構成により、データ線対によるデータ転送と比較して、2倍のデータが転

送可能となり、高バンド幅のシステムの構成が可能となる。

【 0 0 2 0 】

本発明の請求項 5 に記載の半導体装置は、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が時分割で接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている。

【 0 0 2 1 】

この構成により、第 1 のデータ線対をメモリブロック毎に別個に対応させることで、第 1 のアクセスとは異なる第 2 のデータ線対からであって且つ第 1 のアクセスとは異なるメモリブロックに対するアクセスが、第 1 のアクセスと連続して行うことを可能にする。また、複数のメモリブロックのデータ転送が競合することなく連続して実現可能となり、システムのバンド幅が著しく向上する。

【 0 0 2 2 】

本発明の請求項 6 に記載の半導体装置は、演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている。

【 0 0 2 3 】

この構成により、クロスバーシステム搭載のメモリ混載型プロセッサを 1 チップで実現することができ、高速化、低消費電力化が可能となる。

【 0 0 2 4 】

本発明の請求項 7 に記載の半導体装置は、演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数

のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第1のゲートと、第2のゲートと、動作時に第1のゲートを介して選択された列のビット線対の一方が接続される第1のデータ線と、第2のゲートを介して第1のデータ線と接続される第2のデータ線とからなり、第1のデータ線と第2のデータ線とは交差して配置されている半導体装置である。

【0025】

この構成により、クロスバーシステム搭載の高バンド幅を有するメモリ混載型プロセッサを1チップで実現することができ、高速化、低消費電力化が可能となる。

【0026】

本発明の請求項8に記載の半導体装置は、演算機能を有する1つまたは複数のプロセッサエレメントと、行列に配置された複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第1のゲート対と、第2のゲート対と、動作時に第1のゲート対を介して選択された列のビット線対が時分割で接続される第1のデータ線対と、第2のゲート対を介して第1のデータ線対と接続される第2のデータ線対とからなり、第1のデータ線対と第2のデータ線対とは交差して配置されている半導体装置である。

【0027】

この構成により、第1のデータ線対をメモリブロック毎に別個に対応させることで、第1のアクセスとは異なる第2のデータ線対からであって且つ第1のアクセスとは異なるメモリブロックに対するアクセスが、第1のアクセスと連続して行うことを可能にする。また、複数のメモリブロックのデータ転送が競合することなく連続して実現可能となり、高バンド幅を有するメモリとプロセッサ混載のシステム構成が可能である。

【0028】

本発明の請求項9に記載の半導体装置は、演算機能を有する複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビッ

ト線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置である。

【 0 0 2 9 】

この構成により、クロスバースystem搭載のメモリ混載型マルチプロセッサが 1 チップで実現でき、高速化、低消費電力化が可能となる。

【 0 0 3 0 】

本発明の請求項 1 0 に記載の半導体装置は、演算機能を有する複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲートと、第 2 のゲートと、動作時に第 1 のゲートを介して選択された列のビット線対の一方が接続される第 1 のデータ線と、第 2 のゲートを介して第 1 のデータ線と接続される第 2 のデータ線とからなり、第 1 のデータ線と第 2 のデータ線とは交差して配置されている半導体装置である。

【 0 0 3 1 】

この構成により、クロスバースystem搭載の高バンド幅を有するメモリ混載型マルチプロセッサが 1 チップで実現でき、高速化、低消費電力化が可能となる。

【 0 0 3 2 】

本発明の請求項 1 1 に記載の半導体装置は、演算機能を有する 1 つまたは複数のプロセッサエレメントと、行列に配置され且つ複数グループにまとめられた複数のメモリセルと、各列毎に複数のメモリセルに接続された複数のビット線対と、各々のビット線対に接続されたセンスアンプと、第 1 のゲート対と、第 2 のゲート対と、動作時に第 1 のゲート対を介して選択された列のビット線対が時分割で接続される第 1 のデータ線対と、第 2 のゲート対を介して第 1 のデータ線対と接続される第 2 のデータ線対とからなり、第 1 のデータ線対と第 2 のデータ線対とは交差して配置されている半導体装置である。

【 0 0 3 3 】

この構成により、クロスバーシステム搭載の高バンド幅を有するメモリ混載型マルチプロセッサが1チップで実現でき、高速化、低消費電力化が可能となる。

【 0 0 3 4 】

本発明の請求項12に記載の半導体装置は、1つあるいは複数のプロセッサエレメントは前記第2のデータ線あるいはデータ線対とデータの通信を行う手段を有する請求項6乃至11記載の半導体装置である。

【 0 0 3 5 】

この構成により、メモリ混載型マルチプロセッサにおいて、各プロセッサエレメントの入出力とメモリ側に配置したクロスバーシステムの接続が可能となる。

【 0 0 3 6 】

本発明の請求項13に記載の半導体装置は、請求項6乃至11記載の半導体装置において、1つあるいは複数グループにまとめられた複数のメモリセルを制御する制御手段を複数有し、制御手段はそれぞれ独立に前記グループに対する制御信号を有する半導体装置である（なお、以下複数のメモリセルをメモリセルアレイ、もしくはセルアレイと称する）。

【 0 0 3 7 】

この構成により、複数のメモリセルアレイに対して、同時に複数のアクセスを行うシステムが構築でき、高速なシステムを構成することが可能となる。

【 0 0 3 8 】

本発明の請求項14に記載の半導体装置は、請求項6乃至11記載の半導体装置において、前記制御手段は、前記複数のプロセッサエレメントの1部である半導体装置である。

【 0 0 3 9 】

この構成により、例えばメモリ混載型マルチプロセッサにおいて複数のプロセッサエレメントが同時に複数のメモリセルアレイにアクセスするように、複数のメモリセルアレイが同時に複数のアクセスを行うシステムは、現状のシステムと比較して、最高でプロセッサエレメントの個数倍だけ高速なシステムの構成が可能である。

【 0 0 4 0 】

本発明の請求項 1 5 は、グループにまとめられた複数のメモリセルとの間でデータ通信を行うプロセッサエレメントがデータ通信を要求するステップと、前記データ通信の要求に対してデータ通信の制御を行うステップと、前記制御に基づく制御信号に従ってプロセッサエレメントと前記メモリセルとの間でデータ通信を行うステップとからなり、前記通信制御を行うステップにおいて、それぞれ独立にグループにまとめられた複数のメモリセルに対する制御信号を有することを特徴とする制御方法である。

【 0 0 4 1 】

この構成により、複数のメモリセルアレイに対して、同時に複数のアクセスを行う制御ができ、高速なシステムを構成する方法が可能となる。

【 0 0 4 2 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【 0 0 4 3 】

(第 1 実施形態)

図 1 から図 3 は本発明の第 1 実施形態を説明する図である。

【 0 0 4 4 】

図 1 は第 1 実施形態に係る半導体装置の構成を模式的に示している。

【 0 0 4 5 】

図 2 は図 1 に示す半導体装置の一部を模式的に示している。図 1、図 2 において、メモリセルアレイ 1 は行列に配置されている。図 1 では、メモリセルアレイ 1 の外枠のみが示されている。図 2 では、メモリセルアレイ 1 のブロック図が示されている。図 1 ではセンスアンプ列 2 の外枠が示され、図 2 ではセンスアンプ列 2 のブロック図が示されている。しかし、実際には一般的によく知られているように、センスアンプは、行列に配列されたメモリセルアレイ 1 の列の数だけ存在する。サブワードデコーダ列 3 はワード信号のデコーダである。スイッチ 4 は第 1 のデータ線対 DL、XDL と第 2 のデータ線対 DB、XDB との接続を制御する。

【 0 0 4 6 】

センスアンプ5は通常2個のPチャネルトランジスタと、2個のNチャネルトランジスタからなるラッチ回路で構成されているが、図2では簡略化して示している。スイッチ6はビット線対BL、XBLと第1のデータ線対DL、XDLとの接続を制御する。

【 0 0 4 7 】

メモリセル7は通常、DRAMの場合1個のトランジスタと1個の容量で構成されているが、図2では簡略して示している。また、ワード線WLは、各行に対応して実際はメモリセルアレー1の行数だけ存在するが、図2では2本(WLa、WLb)のみが示されている。選択ゲート8は上下のビット線対のどちらかを選択する。センスアンプ列2は、通常このほかにビット線対毎にプリチャージ回路が配置されているが、ここでは省略する。

【 0 0 4 8 】

図3は、図1、図2に示す半導体装置における動作の一例を示すタイミング図である。

【 0 0 4 9 】

図3を用いて、以下に第1実施形態の動作を説明する。

【 0 0 5 0 】

クロック（以下CLK）の立ち上がりエッジに同期して制御信号（アドレス、コマンド）がメモリに入力されると、メモリの動作を制御する各パルスが生成される。図3では、1番目及び9番目のクロック立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線WLaがローレベルからハイレベルに遷移する。ワード線WLaがハイレベルに遷移すると、ワード線WLaに接続されているメモリセル7のデータがビット線BL01～BLn2上に現れる。その後、制御信号により指定されたメモリセルアレイのセンスアンプ起動信号SP0、SP1がプリチャージレベルからハイレベルに遷移する。SN0、SN1がプリチャージレベルからローレベルに遷移すると、センスアンプ5が起動し、ビット線対BL01～BLn2、XBL01～XBLn2の電圧は、センスアンプ5によって増幅される。その後、スイッチ6のゲート信号Y0

—0 がローレベルからハイレベルに遷移し、ビット線対 $BL01 \sim BLm1$ 、 $XBL01 \sim XBLm1$ と第1のデータ線対 $DL0 \sim DLm$ 、 $XDL0 \sim XDLm$ が接続される。さらに制御信号によって選択された第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ と第1のデータ線対 $DL0 \sim DLm$ 、 $XDL0 \sim XDLm$ がスイッチ4のゲート信号 $TG0-0$ をローレベルからハイレベルに遷移させることによって接続される。

【0051】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ にデータが書き込まれ、スイッチ4を介して第1のデータ線対 $DL0 \sim DLm$ 、 $XDL0 \sim XDLm$ に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 $BL01 \sim BLm1$ 、 $XBL01 \sim XBLm1$ に伝達され、選択ゲート8を介してワード線 $WL a$ に接続されたメモリセル7へデータが書き込まれる。

【0052】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 $BL01 \sim BLm1$ 、 $XBL01 \sim XBLm1$ の電圧が第1のデータ線対 $DL0 \sim DLm$ 、 $XDL0 \sim XDLm$ にスイッチ6を介して伝達される。そして、さらにスイッチ4を介して第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ に伝達される。第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【0053】

リード動作の場合でも、ライト動作の場合でも、第1のデータ線対のプリチャージは、スイッチ6がオフしてビット線対 BL 、 XBL と第1のデータ線対 DL 、 XDL との接続が切り離されている期間中に行われる。

【0054】

第1のデータ線対 DL 、 XDL のプリチャージ動作後にスイッチ6のゲート信号 $Y1-0$ がローレベルからハイレベルに遷移し、ビット線対 $BL02 \sim BLm2$ 、 $XBL02 \sim XBLm2$ と第1のデータ線対 $DL0 \sim DLm$ 、 $XDL0 \sim X$

D L m が接続される。

【 0 0 5 5 】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対 D B 0 0 ～ D B 0 m、X D B 0 0 ～ X D B 0 m にデータが書き込まれ、スイッチ4を介して第1のデータ線対 D L 0 ～ D L m、X D L 0 ～ X D L m に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 B L 0 2 ～ B L m 2、X B L 0 2 ～ X B L m 2 に伝達され、選択ゲート8を介してワード線 W L a に接続されたメモリセル7へデータが書き込まれる。

【 0 0 5 6 】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 B L 0 2 ～ B L m 2、X B L 0 2 ～ X B L m 2 の電圧が第1のデータ線対 D L 0 ～ D L m、X D L 0 ～ X D L m にスイッチ6を介して伝達される。そして、さらにスイッチ4を介して第2のデータ線対 D B 0 0 ～ D B 0 m、X D B 0 0 ～ X D B 0 m に伝達される。第2のデータ線対 D B 0 0 ～ D B 0 m、X D B 0 0 ～ X D B 0 m の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【 0 0 5 7 】

上記のように、例えばビット線対 B L 0 1、X B L 0 1 と B L 0 2、X B L 0 2 が第1のデータ線対 D L 0、X D L 0 を共有している場合でも、2 C L K サイクル（図3中2番目と3番目及び10番目と11番目のクロックサイクル）でデータの読み書きを行うことにより、ワード線 W L a に接続されている全てのメモリセルとアクセスが可能である。

【 0 0 5 8 】

ライト動作、リード動作が終了し、同一メモリブロックの別のワード線と接続されているメモリセルとアクセスを行いたい時は、次のコマンドを受け付けるためにプリチャージ動作を行う。プリチャージ動作とは、選択されているワード線 W L をハイレベルからローレベルにし、ビット線対 B L、X B L をプリチャージ回路（図示せず）によりプリチャージレベルにする動作であり、従来の D R A M 等で用いられている手法と同一である（図3中4、8、12、16番目のクロック

クサイクル)。

【 0 0 5 9 】

次に別の第2のデータ線対DB10～DB1m、XDB10～XDB1mと、ワード線WLbに接続されているメモリセルとのアクセスを行う場合について説明する。図3中5、13番目のCLKの立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線WLbがローレベルからハイレベルに遷移する。ワード線WLbがハイレベルに遷移すると、WLbに接続されているメモリセル7のデータがビット線BL01～BLn2上に現れる。その後、制御信号により指定されたメモリブロックのセンスアンプ起動信号SP0、SP1がプリチャージレベルからハイレベルに遷移しする。そして、SN0、SN1がプリチャージレベルからローレベルに遷移すると、センスアンプ5が起動し、ビット線対BL01～BLn2、XBL01～XBLn2の電圧は、センスアンプ5によって増幅される。その後、スイッチ6のゲート信号Y0-0がローレベルからハイレベルに遷移し、ビット線対BL01～BLm1、XBL01～XBLm1と第1のデータ線対DL0～DLm、XDL0～XDLmが接続される。さらに制御信号によって選択された第2のデータ線対DB10～DB1m、XDB10～XDB1mと第1のデータ線対DL0～DLm、XDL0～XDLmがスイッチ4のゲート信号TG1-0をローレベルからハイレベルに遷移させることによって接続される。

【 0 0 6 0 】

ライト動作ならば、この期間中に書き込み回路(図示せず)によって第2のデータ線対DB10～DB1m、XDB10～XDB1mにデータが書き込まれ、スイッチ4を介して第1のデータ線対DL0～DLm、XDL0～XDLmに書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対BL01～BLm1、XBL01～XBLm1に伝達され、選択ゲート8を介してワード線WLbに接続されたメモリセル7へデータが書き込まれる。

【 0 0 6 1 】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対BL01～BLm1、XBL01～XBLm1の電圧が第1のデータ線対D

L 0 ~ D L m、X D L 0 ~ X D L m にスイッチ 6 を介して伝達される。そして、さらにスイッチ 4 を介して第 2 のデータ線対 D B 1 0 ~ D B 1 m、X D B 1 0 ~ X D B 1 m に伝達される。第 2 のデータ線対 D B 1 0 ~ D B 1 m、X D B 1 0 ~ X D B 1 m の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【 0 0 6 2 】

リード動作の場合でも、ライト動作の場合でも、第 1 のデータ線対のプリチャージは、スイッチ 6 がオフしてビット線対 B L、X B L と第 1 のデータ線対 D L、X D L との接続が切り離されている期間中に行われる。

【 0 0 6 3 】

第 1 のデータ線対 D L、X D L のプリチャージ動作の次に、スイッチ 6 のゲート信号 Y 1 - 0 がローレベルからハイレベルに遷移し、ビット線対 B L 0 2 ~ B L m 2、X B L 0 2 ~ X B L m 2 と第 1 のデータ線対 D L 0 ~ D L m、X D L 0 ~ X D L m が接続される。

【 0 0 6 4 】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第 2 のデータ線対 D B 1 0 ~ D B 1 m、X D B 1 0 ~ X D B 1 m にデータが書き込まれ、スイッチ 4 を介して第 1 のデータ線対 D L 0 ~ D L m、X D L 0 ~ X D L m に書き込みデータが伝達される。そして、さらにスイッチ 6 を介してビット線対 B L 0 2 ~ B L m 2、X B L 0 2 ~ X B L m 2 に伝達され、選択ゲート 8 を介してワード線 W L b に接続されたメモリセル 7 へデータが書き込まれる。

【 0 0 6 5 】

リード動作ならば、この期間中に、センスアンプ 5 によって増幅されたビット線対 B L 0 2 ~ B L m 2、X B L 0 2 ~ X B L m 2 の電圧が第 1 のデータ線対 D L 0 ~ D L m、X D L 0 ~ X D L m にスイッチ 6 を介して伝達される。そして、さらにスイッチ 4 を介して第 2 のデータ線対 D B 1 0 ~ D B 1 m、X D B 1 0 ~ X D B 1 m に伝達される。第 2 のデータ線対 D B 1 0 ~ D B 1 m、X D B 1 0 ~ X D B 1 m の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【 0 0 6 6 】

こうして、本第 1 実施形態によれば、通常メモリのデータ伝送に使用される第 1 のデータ線をクロスバー配線として同時に使用することができるため、チップ面積の増大を抑えることが可能になる。

【 0 0 6 7 】

(第 2 実施形態)

図 4、図 5 は本発明の第 2 実施形態を説明する図である。図 4 は第 2 実施の形態に係る半導体装置の構成を模式的に示している。図 5 は図 4 に示す半導体装置の一部を模式的に示している。

【 0 0 6 8 】

図 4 において、この第 2 実施形態は、前述の第 1 実施形態（図 1、図 2）の第 2 のデータ線対（DB、XDB）がメモリセルセルアレイ 1 と同一領域上に配置されている。本第 2 実施形態によれば、クロスバー配線をメモリセル上に配置することが可能となり、チップ面積の縮小化を図ることが可能となる。

【 0 0 6 9 】

さらに、メモリセルアレイ上を配線領域として使用することによって、例えばセンスアンプ列領域に第 2 のデータ線を配置した第 1 実施例と比較して、非常に多くのデータ線が配置可能となる。そして、この多くのデータ線を用いて、同時にメモリとのデータ通信を行うことにより、高バンド幅のシステムの構成が可能となる。

【 0 0 7 0 】

(第 3 実施形態)

図 6、図 7 は本発明の第 3 実施形態を説明する図である。

【 0 0 7 1 】

図 6 は第 3 実施形態に係る半導体装置の一部を模式的に示している。

【 0 0 7 2 】

図 7 は、図 6 に示す半導体装置における動作の一例を示すタイミング図である。

【 0 0 7 3 】

図6において、この、第3実施形態は、前述の第2実施形態（図5）の第1データ線（DL，XDL）、及び第2データ線（DB，XDB）がシングルバスで構成されている。

【0074】

CLKの立ち上がりエッジに同期して制御信号が半導体装置に入力されると、メモリの動作を制御する各パルスが生成される。図7において、1番目、及び7番目のCLK立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線WL aがローレベルからハイレベルに遷移する。ワード線WL aがハイレベルに遷移すると、ワード線WL aに接続されているメモリセル7のデータがビット線BL 0 1～BL n 2上に現れる。その後、制御信号により指定されたメモリセルアレイのセンスアンプ起動信号SP 0、SP 1がプリチャージレベルからハイレベルに遷移する。そして、SN 0、SN 1がプリチャージレベルからローレベルに遷移すると、センスアンプ5が起動し、ビット線対BL 0 1～BL n 2、XBL 0 1～XBL n 2のデータは、センスアンプ5によって増幅される。その後、スイッチ6のゲート信号Y 0 - 0、及びY 1 - 0がローレベルからハイレベルに遷移し、ビット線BL 0 1～BL m 1と第1のデータ線DL 0～DL m及び、ビット線XBL 0 2～XBL m 2と第1のデータ線XDL 0～XDL mが接続される。さらに制御信号によって選択された第2のデータ線対DB 0 0～DB 0 m、XDB 0 0～XDB 0 mと、第1のデータ線対DL 0～DL m、XDL 0～XDL mがスイッチ4のゲート信号TG 0 - 0をローレベルからハイレベルに遷移させることによって接続される。

【0075】

ライト動作ならば、上記接続期間中に書き込み回路（図示せず）によって第2のデータ線対DB 0 0～DB 0 m、XDB 0 0～XDB 0 mにデータが書き込まれ、スイッチ4を介して第1のデータ線対DL 0～DL m、XDL 0～XDL mに書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線BL 0 1～BL m 1、XBL 0 2～XBL m 2に伝達され、選択ゲート8を介してワード線WL aに接続されたメモリセル7へデータが書き込まれる。

【0076】

リード動作ならば、上記接続期間中に、センスアンプ5によって増幅されたビット線BL01～BLm0、XBL02～XBLm2の電圧が第1のデータ線対DL0～DLm、XDL0～XDLmにスイッチ6を介して伝達される。そして、さらにスイッチ4を介して第2のデータ線対DB00～DB0m、XDB00～XDB0mに伝達される。第2のデータ線対DB00～DB0m、XDB00～XDB0mの電圧は、リードアンプ（図示せず）によって、あらかじめ設定しておいたプリチャージレベルと比較増幅され、読み出しデータが出力される。

【0077】

リード動作の場合でも、ライト動作の場合でも、第1のデータ線のプリチャージは、スイッチ6がオフしてビット線対BL、XBLと第1のデータ線DL、XDLとの接続が切り離されている期間中に行われる。

【0078】

ライト動作、リード動作が終了し、同一メモリブロックの別のワード線と接続されているメモリセルとアクセスを行いたい時は、次のコマンドを受け付けるためにプリチャージ動作を行う（図7における3、6、9、12番目のクロックサイクル）。

【0079】

次に別の第2のデータ線対DB10～DB1m、XDB10～XDB1mと、ワード線WLbに接続されているメモリセルとのアクセスを行う場合について説明する。図7における4、10番目のCLKの立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線WLbがローレベルからハイレベルに遷移する。ワード線WLbがハイレベルに遷移すると、WLbに接続されているメモリセル7のデータがビット線BL01～BLn2上に現れる。その後、制御信号により指定されたメモリセルアレイのセンスアンプ起動信号SP0、SP1がプリチャージレベルからハイレベルに遷移する。そして、SN0、SN1がプリチャージレベルからローレベルに遷移すると、センスアンプ5が起動し、ビット線対BL01～BLn2、XBL01～XBLn2の電圧は、センスアンプ5によって増幅される。その後、スイッチ6のゲート信号Y0-0、及びY1-0がローレベルからハイレベルに遷移する。そして、ビット線

BL01～BLm1と第1のデータ線DL0～DLm及び、ビット線XBL02～XBLm2と第1のデータ線XDL0～XDLmが接続される。さらに制御信号によって選択された第2のデータ線対DB10～DB1m、XDB10～XDB1mと、第1のデータ線対DL0～DLm、XDL0～XDLmがスイッチ4のゲート信号TG1-0をローレベルからハイレベルに遷移させることによって接続される。

【0080】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対DB10～DB1m、XDB10～XDB1mにデータが書き込まれ、スイッチ4を介して第1のデータ線対DL0～DLm、XDL0～XDLmに書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線BL01～BLm1、XBL02～XBLm2に伝達され、選択ゲート8を介してワード線WLbに接続されたメモリセル7へデータが書き込まれる。

【0081】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線BL01～BLm0、XBL02～XBLm2の電圧が第1のデータ線対DL0～DLm、XDL0～XDLmにスイッチ6を介して伝達される。そして、さらにスイッチ4を介して第2のデータ線対DB10～DB1m、XDB10～XDB1mに伝達される。第2のデータ線対DB10～DB1m、XDB10～XDB1mの電圧は、リードアンプ（図示せず）によって、あらかじめ設定しておいたプリチャージレベルと比較増幅され、読み出しデータが出力される。

【0082】

こうして、本第3実施形態によれば、データ線対によるデータ転送と比較して、同時に2倍のデータを転送することが可能であり、高バンド幅のシステムの構成が可能となる。

【0083】

（第4実施形態）

図8から図10は本発明の第4実施形態を説明する図である。図8は第4実施形態に係る半導体装置の構成を模式的に示している。図9は図8に示す半導体装

置の一部を模式的に示している。図 1 0 は、図 8、図 9 に示す半導体装置における動作の一例を示すタイミング図である。

【 0 0 8 4 】

図 8、図 9 において、この、第 4 実施形態は、前述の第 2 実施形態（図 4、図 5）におけるスイッチ 4 の接続方法、及びスイッチ 6 の接続方法が異なっている。

【 0 0 8 5 】

CLK の立ち上がりエッジに同期して制御信号が半導体装置に入力されると、メモリの動作を制御する各パルスが生成される。図 1 0 における 1 番目、及び 1 0 番目の CLK の立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線 WL a がローレベルからハイレベルに遷移する。ワード線 WL a がハイレベルに遷移すると、ワード線 WL a に接続されているメモリセル 7 のデータがビット線 BL 0 1 ~ BL n 2 上に現れる。その後、制御信号により指定されたメモリセルアレイのセンスアンプ起動信号 SP 0、SP 1（図示せず）がプリチャージレベルからハイレベルに遷移する。そして、SN 0、SN 1（図示せず）がプリチャージレベルからローレベルに遷移すると、センスアンプ 5 が起動し、ビット線対 BL 0 1 ~ BL n 2、XBL 0 1 ~ XBL n 2 の電圧は、センスアンプによって増幅される。その後、スイッチ 6 のゲート信号 Y 0 - 0 がローレベルからハイレベルに遷移し、ビット線対 BL x 1、XBL x 1（x は 0 から n までの偶数）、と第 1 のデータ線対 DL x、XDL x（x は 0 から n までの偶数）が接続される。さらに制御信号によって選択された第 2 のデータ線対 DB 0 0 ~ DB 0 m、XDB 0 0 ~ XDB 0 m と第 1 のデータ線対 DL x、XDL x（x は 0 から n までの偶数）がスイッチ 4 のゲート信号 TG 0 - 0 をローレベルからハイレベルに遷移させることにより接続される。

【 0 0 8 6 】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第 2 のデータ線対 DB 0 0 ~ DB 0 m、XDB 0 0 ~ XDB 0 m にデータが書き込まれ、スイッチ 4 を介して第 1 のデータ線対 DL x、XDL x（x は 0 から n までの偶数）に書き込みデータが伝達される。そして、さらにスイッチ 6 を介してビット

線対 $BL \times 1$ 、 $XBL \times 1$ (x は 0 から n までの偶数) に伝達され、選択ゲート 8 を介してワード線 $WL a$ に接続されたメモリセル 7 ヘデータが書き込まれる。

【 0 0 8 7 】

リード動作ならば、この期間中に、センスアンプ 5 によって増幅されたビット線対 $BL \times 1$ 、 $XBL \times 1$ (x は 0 から n までの偶数) の電圧が第 1 のデータ線対 $DL x$ 、 $XDL x$ (x は 0 から n までの偶数) にスイッチ 6 を介して伝達される。そして、さらにスイッチ 4 を介して第 2 のデータ線対 $DB 0 0 \sim DB 0 m$ 、 $XDB 0 0 \sim XDB 0 m$ に伝達される。第 2 のデータ線対 $DB 0 0 \sim DB 0 m$ 、 $XDB 0 0 \sim XDB 0 m$ の電圧は、リードアンプ (図示せず) によって増幅され、読み出しデータが出力される。

【 0 0 8 8 】

リード動作の場合でも、ライト動作の場合でも、第 1 のデータ線対のプリチャージは、スイッチ 6 がオフして、ビット線対 BL 、 XBL と第 1 のデータ線対 DL 、 XDL との接続が切り離されている期間中に行われる。

【 0 0 8 9 】

第 1 のデータ線対 DL 、 XDL のプリチャージ動作後に、スイッチ 6 のゲート信号 $Y 0 - 1$ がローレベルからハイレベルに遷移し、ビット線対 $BL y 1$ 、 $XBL y 1$ (y は 0 から n までの奇数) と第 1 のデータ線対 $DL x$ 、 $XDL x$ (x は 0 から n までの偶数) が接続される。

【 0 0 9 0 】

ライト動作ならば、この期間中に書き込み回路 (図示せず) によって第 2 のデータ線対 $DB 0 0 \sim DB 0 m$ 、 $XDB 0 0 \sim XDB 0 m$ にデータが書き込まれ、スイッチ 4 を介して第 1 のデータ線対 $DL x$ 、 $XDL x$ (x は 0 から n までの偶数) に書き込みデータが伝達される。そして、さらにスイッチ 6 を介してビット線対 $BL y 1$ 、 $XBL y 1$ (y は 0 から n までの奇数) に伝達され、選択ゲート 8 を介してワード線 $WL a$ に接続されたメモリセル 7 ヘデータが書き込まれる。

【 0 0 9 1 】

リード動作ならば、この期間中に、センスアンプ 5 によって増幅されたビット線対 $BL y 1$ 、 $XBL y 1$ (y は 0 から n までの奇数) の電圧が第 1 のデータ線

対 DLx 、 $XD Lx$ (x は 0 から n までの偶数) にスイッチ 6 を介して伝達される。そして、さらにスイッチ 4 を介して第 2 のデータ線対 $DB 0 0 \sim DB 0 m$ 、 $XDB 0 0 \sim XDB 0 m$ に伝達される。第 2 のデータ線対 $DB 0 0 \sim DB 0 m$ 、 $XDB 0 0 \sim XDB 0 m$ の電圧は、リードアンプ (図示せず) によって増幅され、読み出しデータが出力される。

【 0 0 9 2 】

一方、1 番目及び 1 0 番目のクロックサイクルで制御信号によって指定したメモリセルアレイ及び第 2 のデータ線対とは異なる、メモリセルアレイ及び第 2 のデータ線対へのアクセスであれば、連続した動作が可能である。以下にその動作を説明する。

【 0 0 9 3 】

図 1 0 における 2 番目、及び 1 1 番目の CLK の立ち上がりエッジに同期して、1 番目、及び 1 0 番目のクロックサイクルで指定したメモリセルアレイと異なるメモリセルアレイに対するアクセスが制御信号により入力されると、制御信号で指定したアドレスのワード線 WLc がローレベルからハイレベルに遷移する。ワード線 WLc がハイレベルに遷移すると、ワード線 WLc に接続されているメモリセル 7 のデータがビット線 $BL 0 (z+1) \sim BL n (z+2)$ 上に現れる。その後、制御信号により指定されたメモリブロックのセンスアンプ起動信号 SPz 、 $SP (z+1)$ (図示せず) がプリチャージレベルからハイレベルに遷移しする。そして、 SNz 、 $SN (z+1)$ (図示せず) がプリチャージレベルからローレベルに遷移すると、センスアンプ 5 が起動し、ビット線対 $BL 0 (z+1) \sim BL n (z+2)$ 、 $XBL 0 (z+1) \sim XBL n (z+2)$ は、センスアンプによって増幅される。その後、スイッチ 6 のゲート信号 $Yz-0$ がローレベルからハイレベルに遷移し、ビット線対 $BLx (z+1)$ 、 $XBLx (z+1)$ (x は 0 から n までの偶数)、と第 1 のデータ線対 DLy 、 $XD Ly$ (x は 0 から n までの奇数) が接続される。さらに制御信号によって選択された第 2 のデータ線対 $DBz 0 \sim DBz m$ 、 $XDBz 0 \sim XDBz m$ と第 1 のデータ線対 DLy 、 $XD Ly$ (x は 0 から n までの奇数) がスイッチ 4 のゲート信号 $TGz-1$ をローレベルからハイレベルに遷移させることにより接続される。

【 0 0 9 4 】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対 $DB\ z\ 0 \sim DB\ z\ m$ 、 $XDB\ z\ 0 \sim XDB\ z\ m$ にデータが書き込まれ、スイッチ4を介して第1のデータ線対 $DL\ y$ 、 $XDL\ y$ （ y は0から n までの奇数）に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 $BL\ x\ (z+1)$ 、 $XBL\ x\ (z+1)$ （ x は0から n までの偶数）に伝達され、選択ゲート8を介してワード線 $WL\ c$ に接続されたメモリセル7へデータが書き込まれる。

【 0 0 9 5 】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 $BL\ x\ (z+1)$ 、 $XBL\ x\ (z+1)$ （ x は0から n までの偶数）の電圧が第1のデータ線対 $DL\ y$ 、 $XDL\ y$ （ y は0から n までの奇数）にスイッチ6を介して伝達される。そして、さらにスイッチ4を介して第2のデータ線対 $DB\ z\ 0 \sim DB\ z\ m$ 、 $XDB\ z\ 0 \sim XDB\ z\ m$ に伝達される。第2のデータ線対 $DB\ z\ 0 \sim DB\ z\ m$ 、 $XDB\ z\ 0 \sim XDB\ z\ m$ の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【 0 0 9 6 】

リード動作の場合でも、ライト動作の場合でも、第1のデータ線対のプリチャージは、スイッチ6がオフして、ビット線対 BL 、 XBL と第1のデータ線対 DL 、 XDL との接続が切り離されている期間中に行われる。

【 0 0 9 7 】

第1のデータ線対 DL 、 XDL のプリチャージ動作後に、スイッチ6のゲート信号 $Y\ z-1$ がローレベルからハイレベルに遷移し、ビット線対 $BL\ y\ (z+1)$ 、 $XBL\ y\ (z+1)$ （ y は0から n までの奇数）と第1のデータ線対 $DL\ y$ 、 $XDL\ y$ （ y は0から n までの奇数）が接続される。

【 0 0 9 8 】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対 $DB\ z\ 0 \sim DB\ z\ m$ 、 $XDB\ z\ 0 \sim XDB\ z\ m$ にデータが書き込まれ、スイッチ4を介して第1のデータ線対 $DL\ y$ 、 $XDL\ y$ （ y は0から n までの偶

数)に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 $BL_y(z+1)$ 、 $XBL_y(z+1)$ (y は0から n までの奇数)に伝達され、選択ゲート8を介してワード線 WL_c に接続されたメモリセル7へデータが書き込まれる。

【0099】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 $BL_y(z+1)$ 、 $XBL_y(z+1)$ (y は0から n までの奇数)の電圧が第1のデータ線対 DL_y 、 DDL_y (y は0から n までの奇数)にスイッチ6を介して伝達され、さらにスイッチ4を介して第2のデータ線対 $DB_{z0} \sim DB_{zm}$ 、 $XDB_{z0} \sim XDB_{zm}$ に伝達される。第2のデータ線対 $DB_{z0} \sim DB_{zm}$ 、 $XDB_{z0} \sim XDB_{zm}$ の電圧は、リードアンプ(図示せず)によって増幅され、読み出しデータが出力される。

【0100】

ライト動作、リード動作が終了し、同一メモリセルアレイの別のワード線と接続されているメモリセルとアクセスを行いたい時は、次のコマンドを受け付けるためにプリチャージ動作を行う(図10中の4、5、8、9、13、14、17、18番目のクロックサイクル)。

【0101】

次に別の第2のデータ線対 $DB_{z0} \sim DB_{zm}$ 、 $XDB_{z0} \sim XDB_{zm}$ と、ワード線 WL_b に接続されているメモリセルとのアクセス、及び第2のデータ線対 $DB_{00} \sim DB_{0m}$ 、 $XDB_{00} \sim XDB_{0m}$ と、ワード線 WL_d に接続されているメモリセルとのアクセスを行う場合について図10にて説明する。

【0102】

5、14番目のCLKの立ち上がりエッジに同期して制御信号が入力されると、制御信号で指定したアドレスのワード線 WL_b がローレベルからハイレベルに遷移する。ワード線 WL_b がハイレベルに遷移すると、ワード線 WL_b に接続されているメモリセル7のデータがビット線 $XBL_{01} \sim XBL_{n2}$ 上に現れる。その後、制御信号により指定されたメモリブロックのセンスアンプ起動信号 SP_0 、 SP_1 (図示せず)がプリチャージレベルからハイレベルに遷移する。そし

て、 $SN0$ 、 $SN1$ （図示せず）がプリチャージレベルからローレベルに遷移すると、センスアンプ5が起動し、ビット線対 $BL01 \sim BLn2$ 、 $XBL01 \sim XBLn2$ の電圧は、センスアンプによって増幅される。その後、スイッチ6のゲート信号 $Y0-0$ がローレベルからハイレベルに遷移し、ビット線対 $BLx1$ 、 $XBLx1$ （ x は0から n までの偶数）、と第1のデータ線対 DLx 、 $XD Lx$ （ x は0から n までの偶数）が接続される。さらに制御信号によって選択された第2のデータ線対 $DBz0 \sim DBzm$ 、 $XDBz0 \sim XDBzm$ と第1のデータ線対 DLx 、 $XD Lx$ （ x は0から n までの偶数）がスイッチ4のゲート信号 $TGz-0$ をローレベルからハイレベルに遷移させることにより接続される。

【0103】

ライト動作ならば、この期間中に書き込み回路（図示せず）によって第2のデータ線対 $DBz0 \sim DB0m$ 、 $XDBz0 \sim XDB0m$ にデータが書き込まれ、スイッチ4を介して第1のデータ線対 DLx 、 $XD Lx$ （ x は0から n までの偶数）に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 $BLx1$ 、 $XBLx1$ （ x は0から n までの偶数）に伝達され、選択ゲート8を介してワード線 WLb に接続されたメモリセル7へデータが書き込まれる。

【0104】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 $BLx1$ 、 $XBLx1$ （ x は0から n までの偶数）の電圧が第1のデータ線対 DLx 、 $XD Lx$ （ x は0から n までの偶数）にスイッチ6を介して伝達され、さらにスイッチ4を介して第2のデータ線対 $DBz0 \sim DBzm$ 、 $XDBz0 \sim XDBzm$ に伝達される。第2のデータ線対 $DBz0 \sim DBzm$ 、 $XDBz0 \sim XDBzm$ の電圧は、リードアンプ（図示せず）によって増幅され、読み出しデータが出力される。

【0105】

リード動作の場合でも、ライト動作の場合でも、第1のデータ線対のプリチャージは、スイッチ6がオフして、ビット線対 BL 、 XBL と第1のデータ線対 DL 、 $XD L$ との接続が切り離されている期間中に行われる。

【0106】

第1のデータ線対DL, XDLのプリチャージ動作後に、スイッチ6のゲート信号Y0-1がローレベルからハイレベルに遷移し、ビット線対BLy1, XBLy1 (yは0からnまでの奇数)と第1のデータ線対DLx, XDLx (xは0からnまでの偶数)が接続される。

【0107】

ライト動作ならば、この期間中に書き込み回路(図示せず)によって第2のデータ線対DBz0~DBzm, XDBz0~XDBzmにデータが書き込まれ、スイッチ4を介して第1のデータ線対DLx, XDLx (xは0からnまでの偶数)に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対BLy1, XBLy1 (yは0からnまでの奇数)に伝達され、選択ゲート8を介してワード線WLbに接続されたメモリセル7へデータが書き込まれる。

【0108】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対BLy1, XBLy1 (yは0からnまでの奇数)の電圧が第1のデータ線対DLx, XDLx (xは0からnまでの偶数)にスイッチ6を介して伝達され、さらにスイッチ4を介して第2のデータ線対DBz0~DBzm, XDBz0~XDBzmに伝達される。第2のデータ線対DBz0~DBzm, XDBz0~XDBzmの電圧は、リードアンプ(図示せず)によって増幅され、読み出しデータが出力される。

【0109】

一方、5番目、及び14番目のクロックサイクルで制御信号によって指定したメモリセルアレイ及び第2のデータ線対とは異なるメモリセルアレイ及び第2のデータ線対のアクセスであれば、連続した動作が可能である。以下にその動作を説明する。

【0110】

図10における6番目、及び15番目のCLKの立ち上がりエッジに同期して、5番目、及び14番目のクロックサイクルで指定したメモリセルアレイと異なるメモリセルアレイに対するアクセスが制御信号により入力されると、制御信号で指定したアドレスのワード線WLdがローレベルからハイレベルに遷移する。

ワード線 WL_d がハイレベルに遷移すると、ワード線 WL_d に接続されているメモリセル 7 のデータがビット線 $XBL_0(z+1) \sim XBL_n(z+2)$ 上に現れる。その後、制御信号により指定されたメモリセルアレイのセンスアンプ起動信号 SP_z 、 $SP(z+1)$ (図示せず) がプリチャージレベルからハイレベルに遷移しする。そして、 SN_z 、 $SN(z+1)$ (図示せず) がプリチャージレベルからローレベルに遷移すると、センスアンプ 5 が起動し、ビット線対 $BL_0(z+1) \sim BL_n(z+2)$ 、 $XBL_0(z+1) \sim XBL_n(z+2)$ は、センスアンプによって増幅される。その後、スイッチ 6 のゲート信号 Y_{z-0} がローレベルからハイレベルに遷移し、ビット線対 $BL_x(z+1)$ 、 $XBL_x(z+1)$ (x は 0 から n までの偶数)、と第 1 のデータ線対 DL_y 、 DDL_y (x は 0 から n までの奇数) が接続される。さらに制御信号によって選択された第 2 のデータ線対 $DB_{00} \sim DB_{0m}$ 、 $XDB_{00} \sim XDB_{0m}$ と第 1 のデータ線対 DL_y 、 DDL_y (x は 0 から n までの奇数) がスイッチ 4 のゲート信号 TG_{0-1} をローレベルからハイレベルに遷移させることにより接続される。

【0 1 1 1】

ライト動作ならば、この期間中に書き込み回路 (図示せず) によって第 2 のデータ線対 $DB_{00} \sim DB_{0m}$ 、 $XDB_{00} \sim XDB_{0m}$ にデータが書き込まれ、スイッチ 4 を介して第 1 のデータ線対 DL_y 、 DDL_y (y は 0 から n までの奇数) に書き込みデータが伝達される。そして、さらにスイッチ 6 を介してビット線対 $BL_x(z+1)$ 、 $XBL_x(z+1)$ (x は 0 から n までの偶数) に伝達され、選択ゲート 8 を介してワード線 WL_d に接続されたメモリセル 7 へデータが書き込まれる。

【0 1 1 2】

リード動作ならば、この期間中に、センスアンプ 5 によって増幅されたビット線対 $BL_x(z+1)$ 、 $XBL_x(z+1)$ (x は 0 から n までの偶数) の電圧が第 1 のデータ線対 DL_y 、 DDL_y (y は 0 から n までの奇数) にスイッチ 6 を介して伝達され、さらにスイッチ 4 を介して第 2 のデータ線対 $DB_{00} \sim DB_{0m}$ 、 $XDB_{00} \sim XDB_{0m}$ に伝達される。第 2 のデータ線対 $DB_{00} \sim DB_{0m}$ 、 $XDB_{00} \sim XDB_{0m}$ の電圧は、リードアンプ (図示せず) によって増

幅され、読み出しデータが出力される。

【0 1 1 3】

リード動作の場合でも、ライト動作の場合でも、第1のデータ線対のプリチャージは、スイッチ6がオフして、ビット線対BL、XBLと第1のデータ線対DL、XDLとの接続が切り離されている期間中に行われる。

【0 1 1 4】

第1のデータ線対DL，XDLのプリチャージ動作後に、スイッチ6のゲート信号 $Yz-1$ がローレベルからハイレベルに遷移し、ビット線対 $BLy(z+1)$ 、 $XBLy(z+1)$ (y は0から n までの奇数)と第1のデータ線 DLy 、 $XDLy$ (y は0から n までの奇数)が接続される。

【0 1 1 5】

ライト動作ならば、この期間中に書き込み回路 (図示せず) によって第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ にデータが書き込まれ、スイッチ4を介して第1のデータ線対 DLy 、 $XDLy$ (y は0から n までの偶数)に書き込みデータが伝達される。そして、さらにスイッチ6を介してビット線対 $BLy(z+1)$ 、 $XBLy(z+1)$ (y は0から n までの奇数)に伝達され、選択ゲート8を介してワード線 WLd に接続されたメモリセル7へデータが書き込まれる。

【0 1 1 6】

リード動作ならば、この期間中に、センスアンプ5によって増幅されたビット線対 $BLy(z+1)$ 、 $XBLy(z+1)$ (y は0から n までの奇数)の電圧が第1のデータ線対 DLy 、 $XDLy$ (y は0から n までの奇数)にスイッチ6を介して伝達され、さらにスイッチ4を介して第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ に伝達される。第2のデータ線対 $DB00 \sim DB0m$ 、 $XDB00 \sim XDB0m$ の電圧は、リードアンプ (図示せず) によって増幅され、読み出しデータが出力される。

【0 1 1 7】

こうして、本第4実施形態によれば、第1のデータ線対をメモリセルアレイ毎に別個に対応させることにより、第1のアクセスとは異なる第2のデータ線対を

通じて、第1のアクセスとは異なるメモリブロックに対するアクセスを、第1のアクセスと連続して行うことができるので、複数のメモリブロックのデータ転送を競合することなく連続して実現することが可能となり、システムのバンド幅を著しく向上させることができる。尚、本第4実施形態では、第1のデータ線対を2つのメモリセルアレイに対応させた例を示した。第1のデータ線対とメモリセルアレイの対応数はスイッチ6、スイッチ4の接続を変更することにより容易に実現可能であり、しかも、第2のデータ線対のブロック数と一致させることにより、全ての第2のデータ線対のブロックから連続したアクセスができるようにする構成が可能であり、バス競合を完全に回避することができる。

【0118】

(第5実施形態)

第5実施形態は複数のプロセッサエレメントと第1実施形態のメモリあるいは第2実施形態のメモリあるいは第4実施形態のメモリがメモリの第2のデータ線対を介して接続され、1チップに集積されている形態である。

【0119】

図11は、複数のプロセッサエレメント9と第1実施形態のメモリが第2のデータ線対(DB、XDB)を介して接続されており、これらが1チップに集積されている。

【0120】

図12は、複数のプロセッサエレメント9と第2実施形態のメモリが第2のデータ線対(DB、XDB)を介して接続されており、これらが1チップに集積されている。

【0121】

図13は、複数のプロセッサエレメント9と第4実施形態のメモリが第2のデータ線対(DB、XDB)を介して接続されており、これらが1チップに集積されている。

【0122】

図11から図13には、1つのメモリセルアレイと関係した第2のデータ線対と1つのプロセッサエレメントが接続されており、そしてメモリ内部において各

メモリセルアレイは第1のデータ線対と接続されている。すなわち、メモリ内にクロスバー配線およびクロスバースイッチが形成されている。したがって、本発明の複数のメモリセルアレイと複数のプロセッサエレメントを1チップに集積した場合、クロスバー配線およびクロスバースイッチがメモリ内に形成されているため、チップ面積の増大を防ぐことができるという利点を本発明は有している。

【0123】

メモリ内にクロスバースイッチを形成する場合を記述したが、プロセッサエレメント内にクロスバースイッチを形成することも勿論可能である。

【0124】

それぞれのプロセッサエレメント9は、メモリセルアレイと同じピッチで配置されており、1チップ化する場合、プロセッサエレメント9の数とメモリセルアレイの数は必要に応じて選択することができる。

【0125】

(第6実施形態)

第6実施形態は1つあるいは複数のプロセッサエレメントと1つのメモリセルアレイとのアクセス要求に対する調停に関する実施形態である。

【0126】

第5実施形態における調停機能はプロセッサエレメント内に保有されており、複数のプロセッサエレメントから1つのメモリセルアレイへのアクセス要求が発行された場合にはプロセッサエレメント間で調停を行い、1つのプロセッサエレメントのアクセス要求だけが有効となる。アクセスが有効となったプロセッサからの信号により(図には示されていない)メモリ内の第1のデータ線対(DL、XDL)と有効となったプロセッサエレメントに接続されている第2のデータ線対(DB、XDB)とを接続するスイッチ4がONとなり、メモリとプロセッサ間でのデータのアクセスが行われる。

【0127】

図14はプロセッサエレメント9から、1つのセルアレイ1へのアクセス要求に対する調停の一例を示した模式図である。n個のプロセッサエレメント9が集積されている場合を説明する。

【 0 1 2 8 】

独立して動作するプロセッサエレメント 9 からセルアレイ 1 に対するアクセス要求が、同時に n 個発行された場合、調停回路 1 0 によって、 n 個のアクセス要求を調停する。調停回路 1 0 は n 個のアクセス要求に優先順位をつけ、優先順にメモリへのアクセス要求を出力する。ここで、調停回路 1 0 は、前のアクセス要求によるメモリとプロセッサエレメント 9 との通信が終了してから次のアクセス要求を受け付ける。

【 0 1 2 9 】

本実施形態によれば、クロスバーシステムは小チップ化されるので、クロスバーシステムを搭載したメモリ混載型マルチプロセッサを 1 チップで実現することができる。従って、従来の複数チップで実現していたシステムを、高速化、低電力化することが可能となる。

【 0 1 3 0 】

(第 7 実施形態)

第 7 実施形態は 1 つあるいは複数のプロセッサエレメントと 1 つあるいは複数のメモリセルアレイとのアクセス要求に対する調停に関する実施形態である。

【 0 1 3 1 】

図 1 5 は、それぞれのプロセッサエレメント 9 から、複数のセルアレイ 1 ~ m へのアクセス要求に対する調停の 1 例を示した模式図である。

【 0 1 3 2 】

図 1 5 において、図 1 4 の調停回路 1 0 からセルアレイ 1 へのアクセス要求が複数同時に発行される構成となっている。 n 個のプロセッサエレメント 9 が集積されており、且つ、簡略化のため $n=m$ の場合を説明する。

【 0 1 3 3 】

独立して動作するプロセッサエレメント 9 からセルアレイ 1 ~ n に対するアクセス要求が、同時に n 個発行された場合、調停回路 1 0 によって、 n 個のアクセス要求が調停される。調停回路 1 0 は n 個のアクセス要求に対しハードあるいはソフトにより優先順位をつけ、優先順位に従ってメモリへのアクセス要求を受け付ける。ここで、調停回路 1 0 は、それぞれのアクセス要求が同じメモリセルア

レイkに対するアクセス要求か否かをチェックし、同一メモリセルアレイk（図示せず）でなければ同時にメモリアクセス要求を受け付け、同一メモリセルアレイkであれば、前のアクセス要求によるセルアレイkとプロセッサエレメント9との通信が終了してから次のアクセス要求を受け付ける。

【0134】

本実施形態の動作は次のように説明することができる。

【0135】

プロセッサエレメントがメモリセルアレイへアクセス要求を行うステップと、アクセス要求を受けたメモリセルアレイに属する調停回路により調停を行うステップと、調停結果によりプロセッサエレメントとメモリセルアレイ間でデータ通信を行うステップでもって動作しており、調停回路は各メモリセルアレイ毎に調停信号を有している。

【0136】

本実施形態によれば、クロスバシステムは小チップ化されるので、クロスバシステムを搭載したメモリ混載型マルチプロセッサを1チップで実現することができるとともに、異なるメモリセルアレイであれば、複数のプロセッサエレメント9と複数のメモリセルアレイとのアクセスが同時に実行できるため、システムのさらなる高速化を実現することが可能となる。

【0137】

【発明の効果】

以上説明したように、本発明によれば、メモリセルアレイ上にクロスバ配線を配置することにより、チップ面積を増大させることなく高速で高性能なメモリ混載型マルチプロセッサを提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係る半導体装置の構成図

【図2】

図1に示す半導体装置の一部を模式的に示した図

【図3】

本発明の第 1 実施形態に係る半導体装置の動作を示すタイミングチャート

【図 4】

本発明の第 2 実施形態に係る半導体装置の構成図

【図 5】

図 4 に示す半導体装置の一部を模式的に示した図

【図 6】

本発明の第 3 実施形態に係る半導体装置の一部を模式的に示した図

【図 7】

本発明の第 3 実施形態に係る半導体装置の動作を示すタイミングチャート

【図 8】

本発明の第 4 実施形態に係る半導体装置の構成図

【図 9】

図 8 に示す半導体装置の一部を模式的に示した図

【図 1 0】

本発明の第 4 実施形態に係る半導体装置の動作を示すタイミングチャート

【図 1 1】

本発明の第 5 実施形態に係る半導体装置の構成図

【図 1 2】

本発明の第 5 実施形態に係る半導体装置の構成図

【図 1 3】

本発明の第 5 実施形態に係る半導体装置の構成図

【図 1 4】

本発明の第 6 実施形態に係る半導体装置の処理方法の一例を示した図

【図 1 5】

本発明の第 7 実施形態に係る半導体装置の処理方法の一例を示した図

【図 1 6】

従来の半導体装置の構成図

【図 1 7】

従来の半導体装置の構成図

【図 1 8】

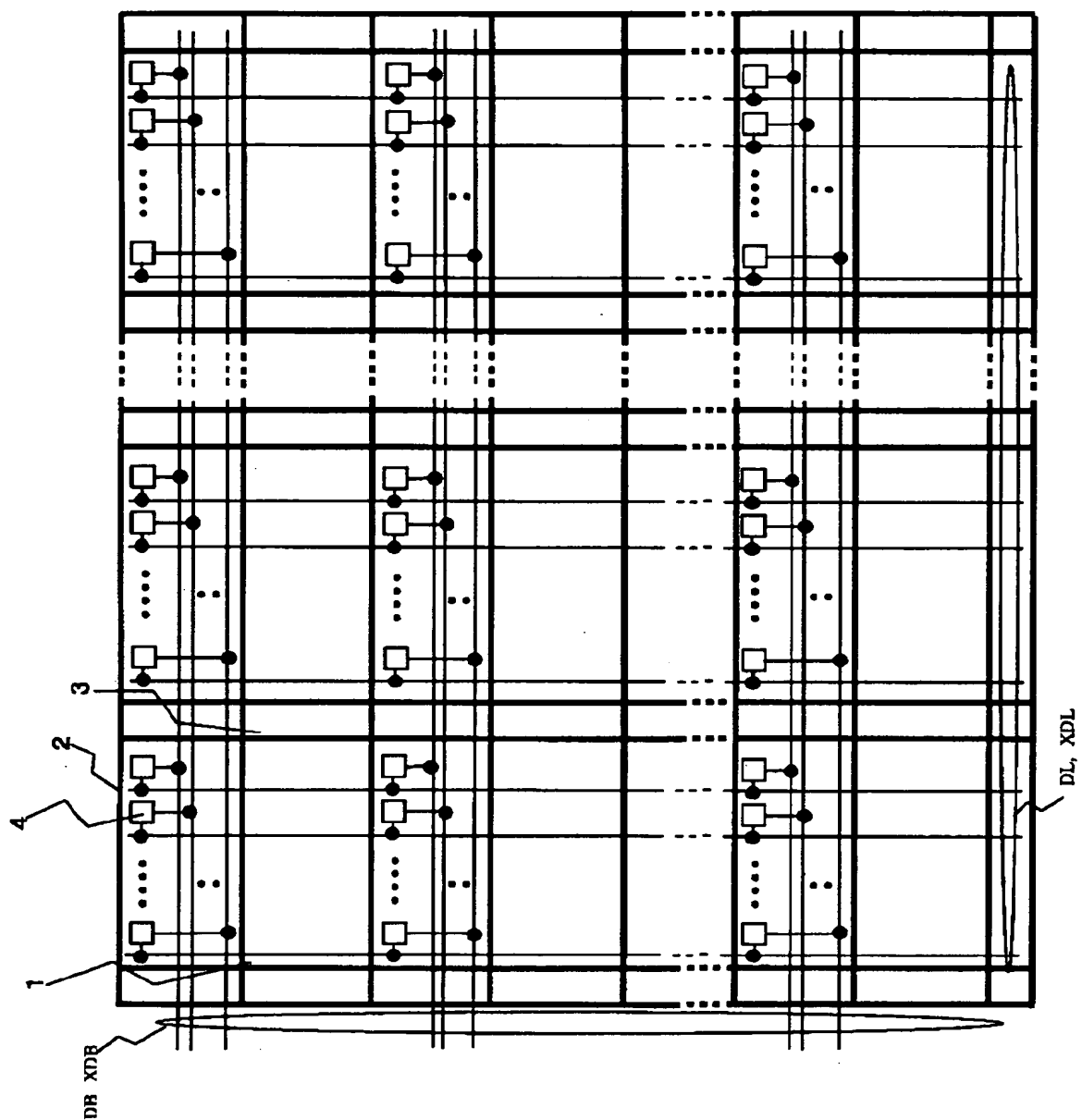
従来の半導体装置の構成図

【符号の説明】

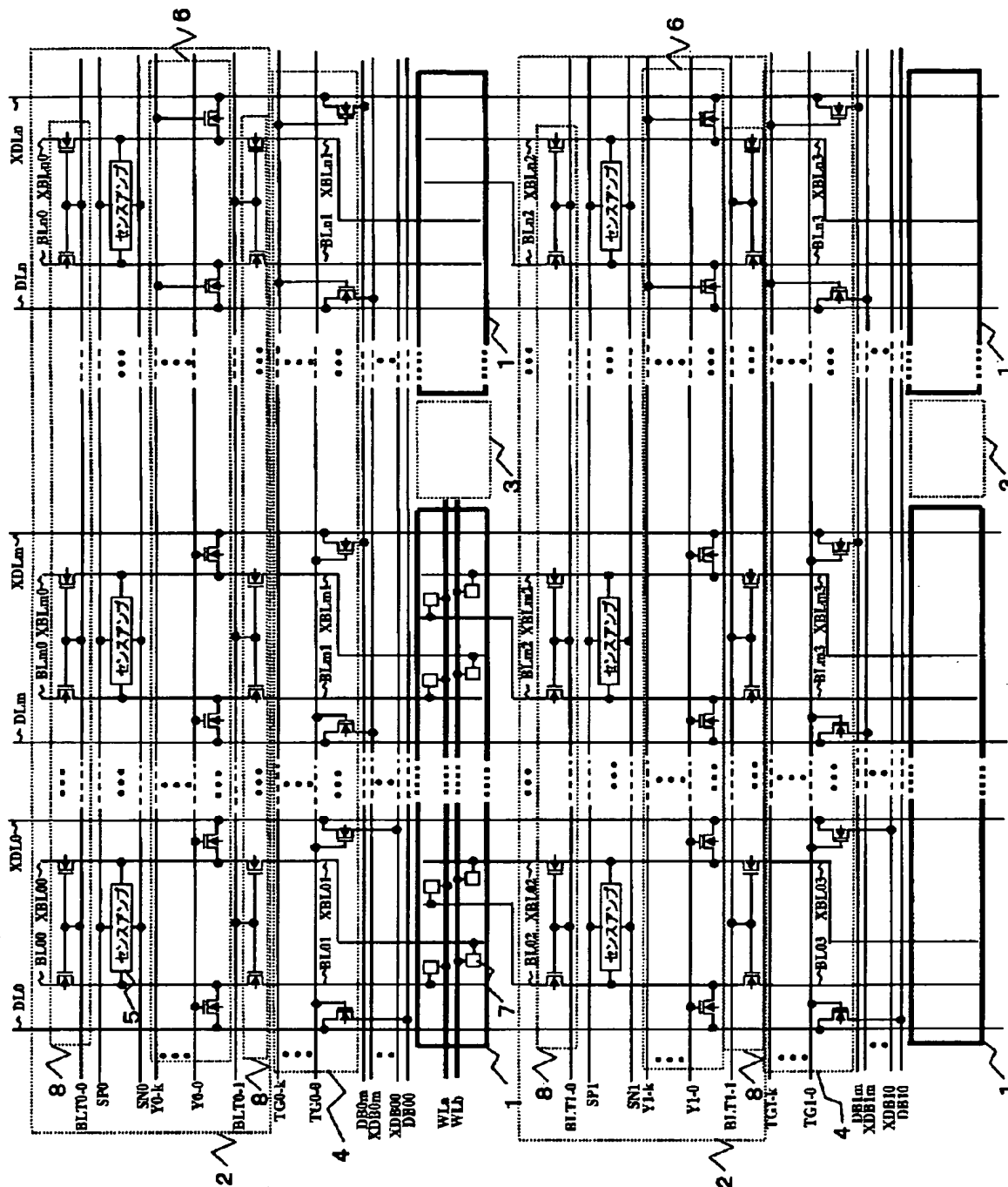
- 1 セルアレイ
- 2 センスアンプ列
- 3 サブワードデコーダ列
- 4 スイッチ
- 5 センスアンプ
- 6 スイッチ
- 7 メモリセル
- 8 選択ゲート
- 9 プロセッサエレメント
- B L, X B L ビット線対
- D L, X D L 第 1 のデータ線対
- D B, X D B 第 2 のデータ線対
- Y スイッチ 6 のゲート信号
- T G スイッチ 4 のゲート信号
- S P, S N センスアンプ起動信号
- W L ワード線

【書類名】 図面

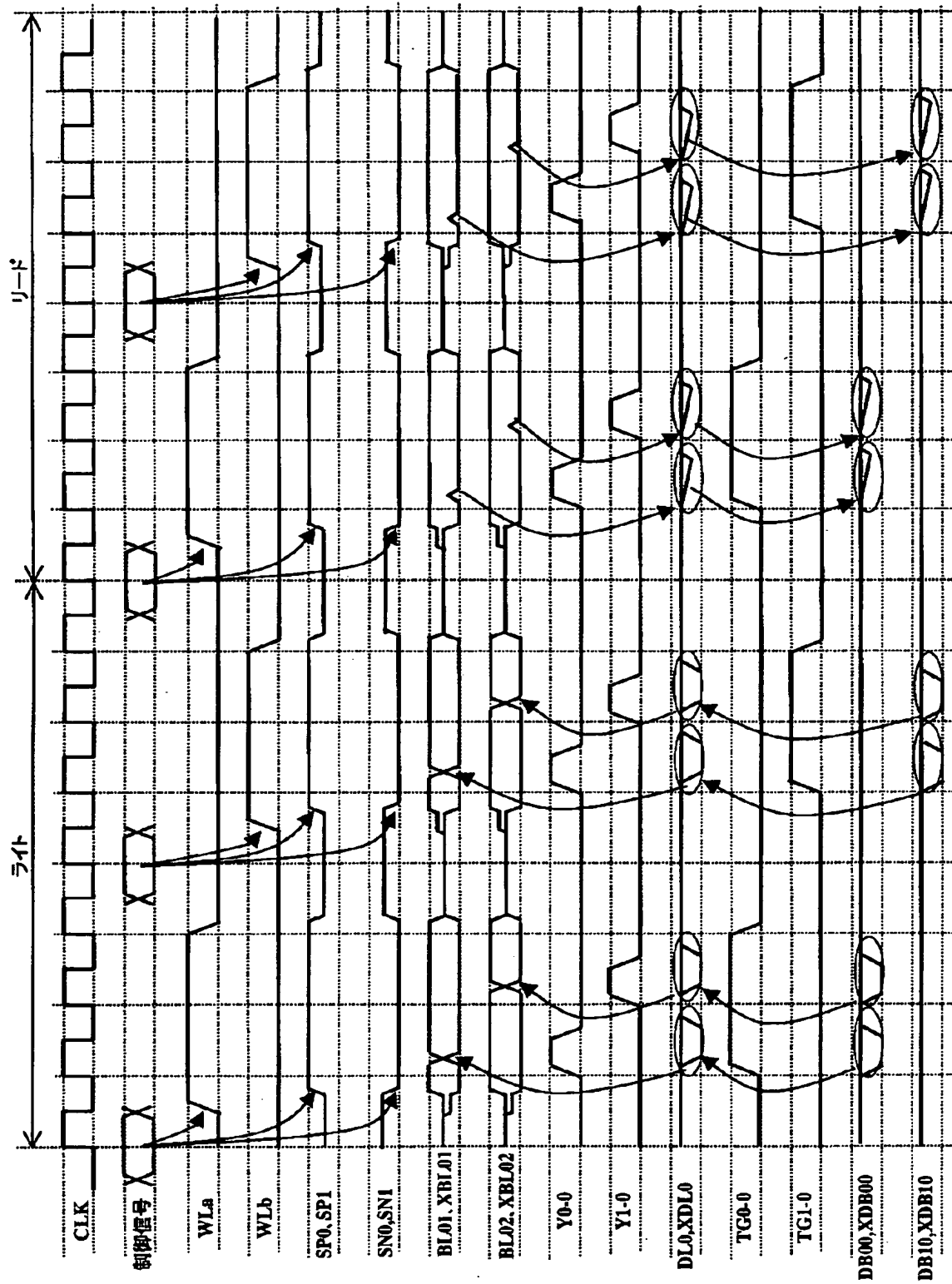
【図 1】



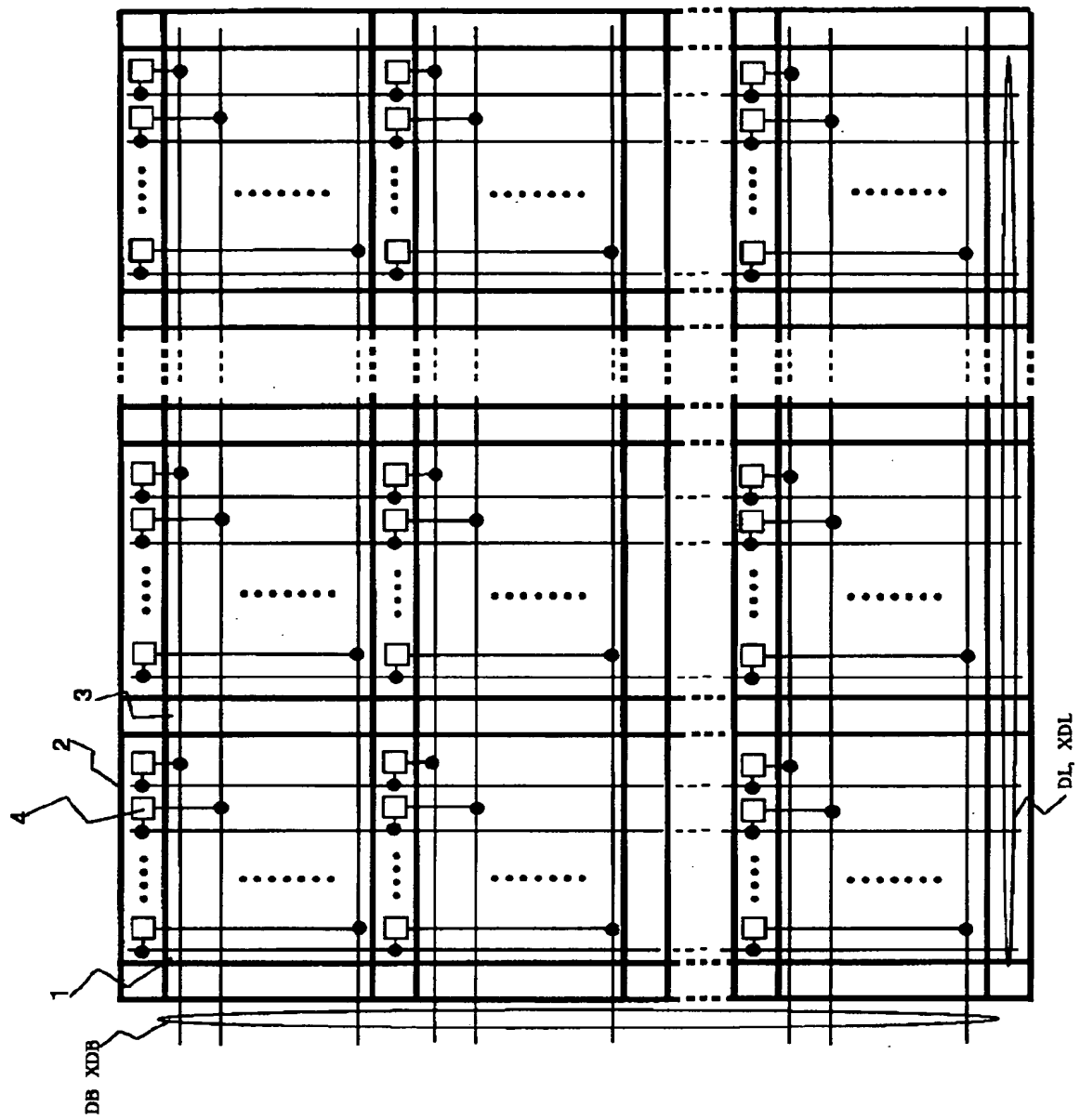
【図 2】



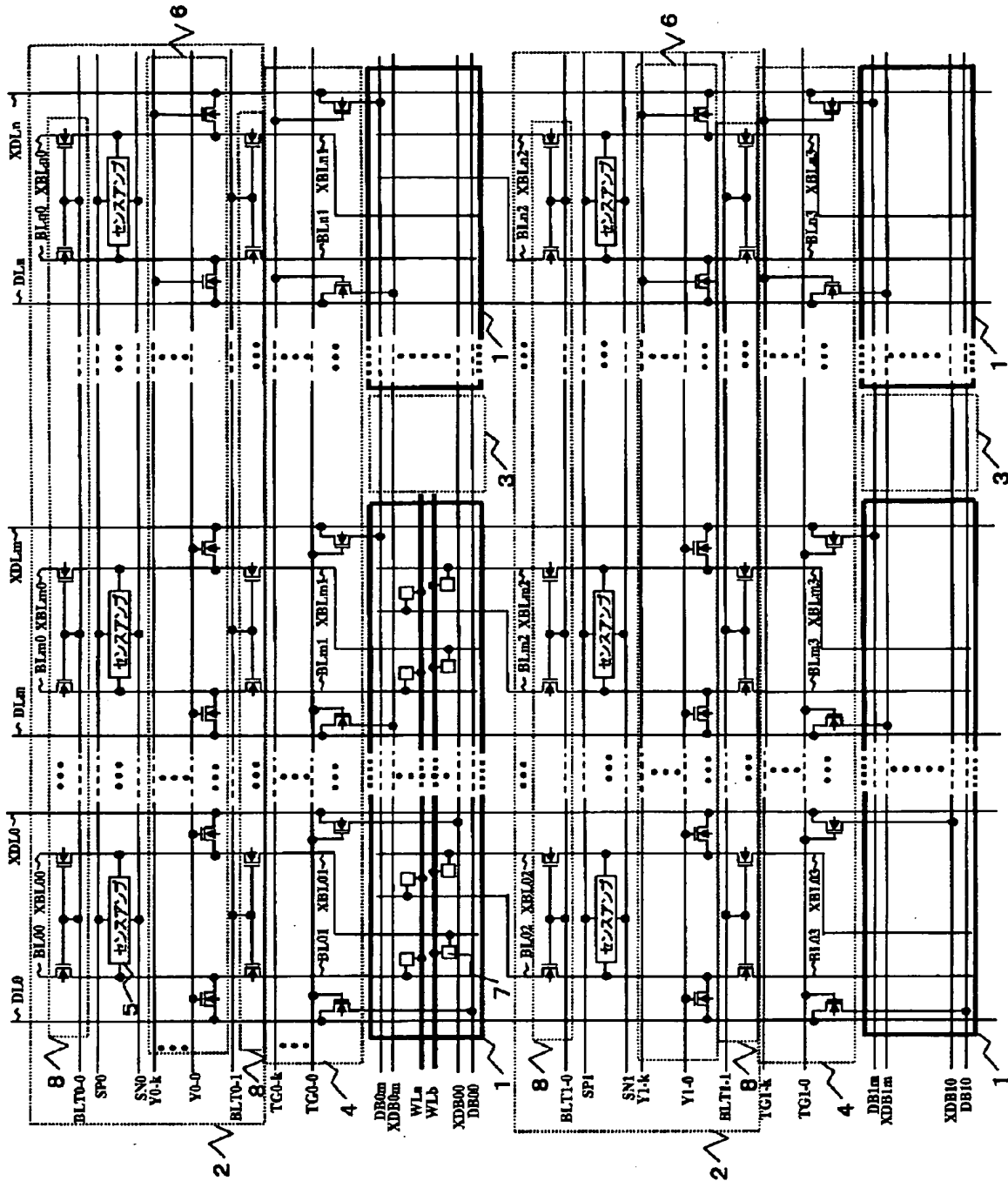
【図 3】



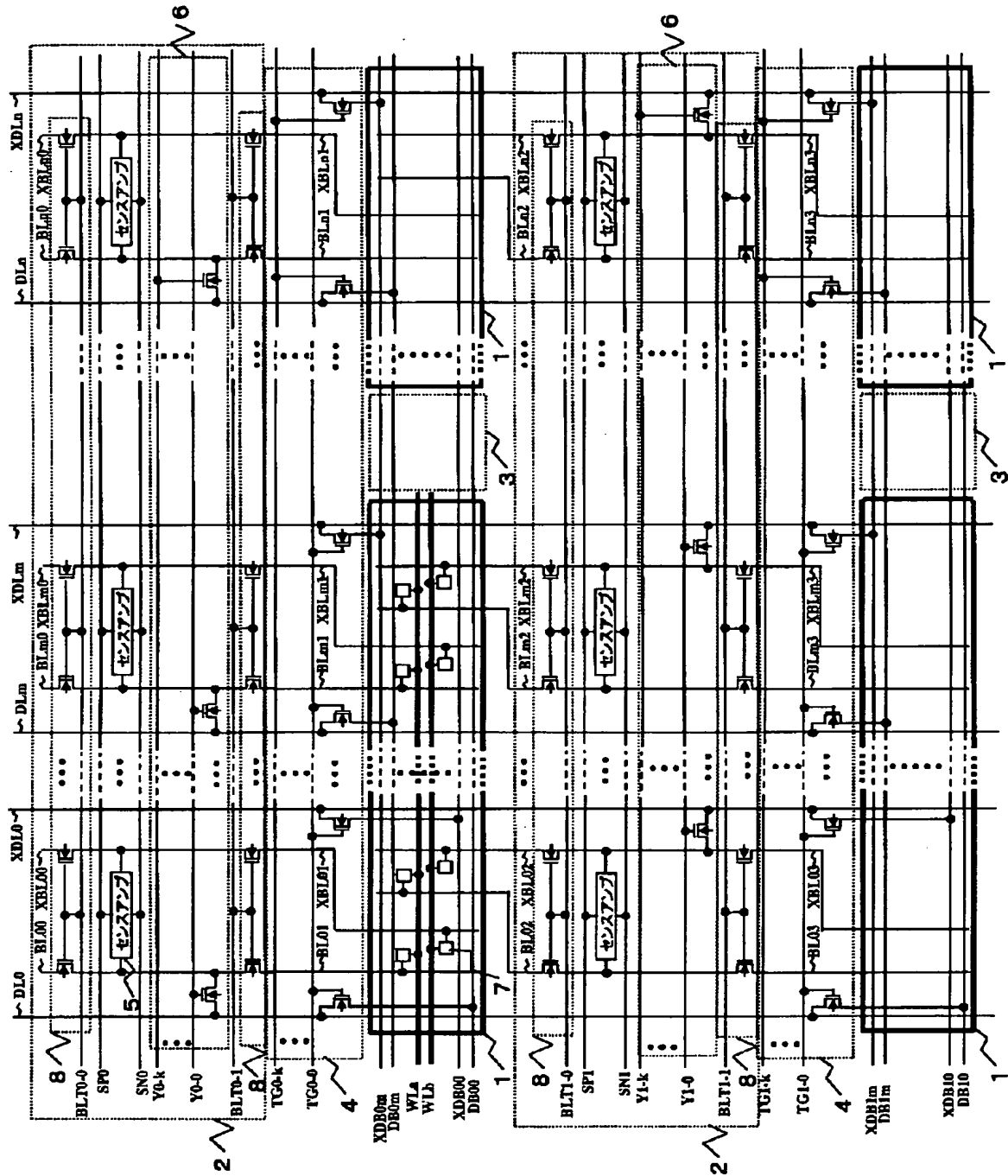
【図 4】



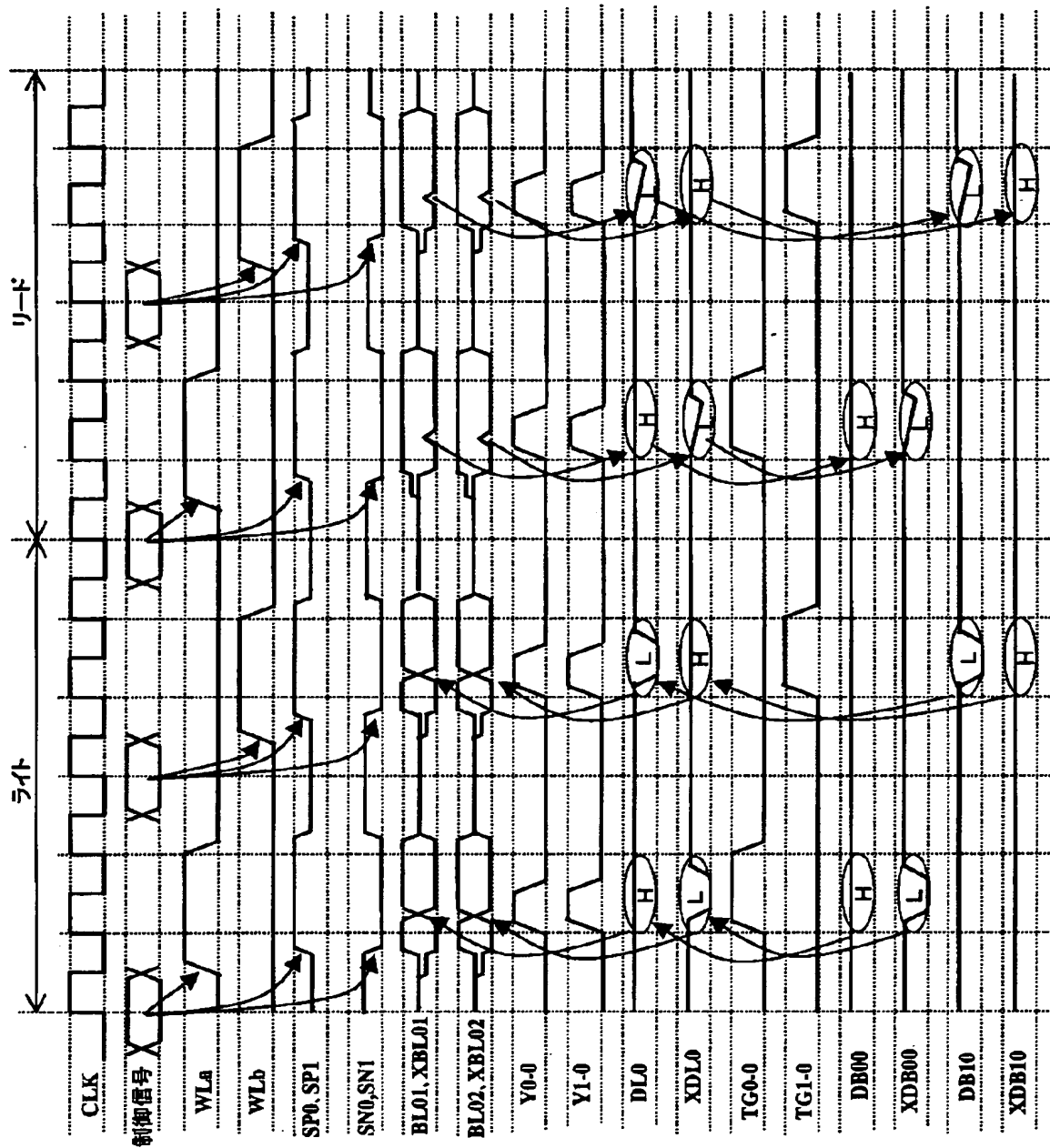
【図 5】



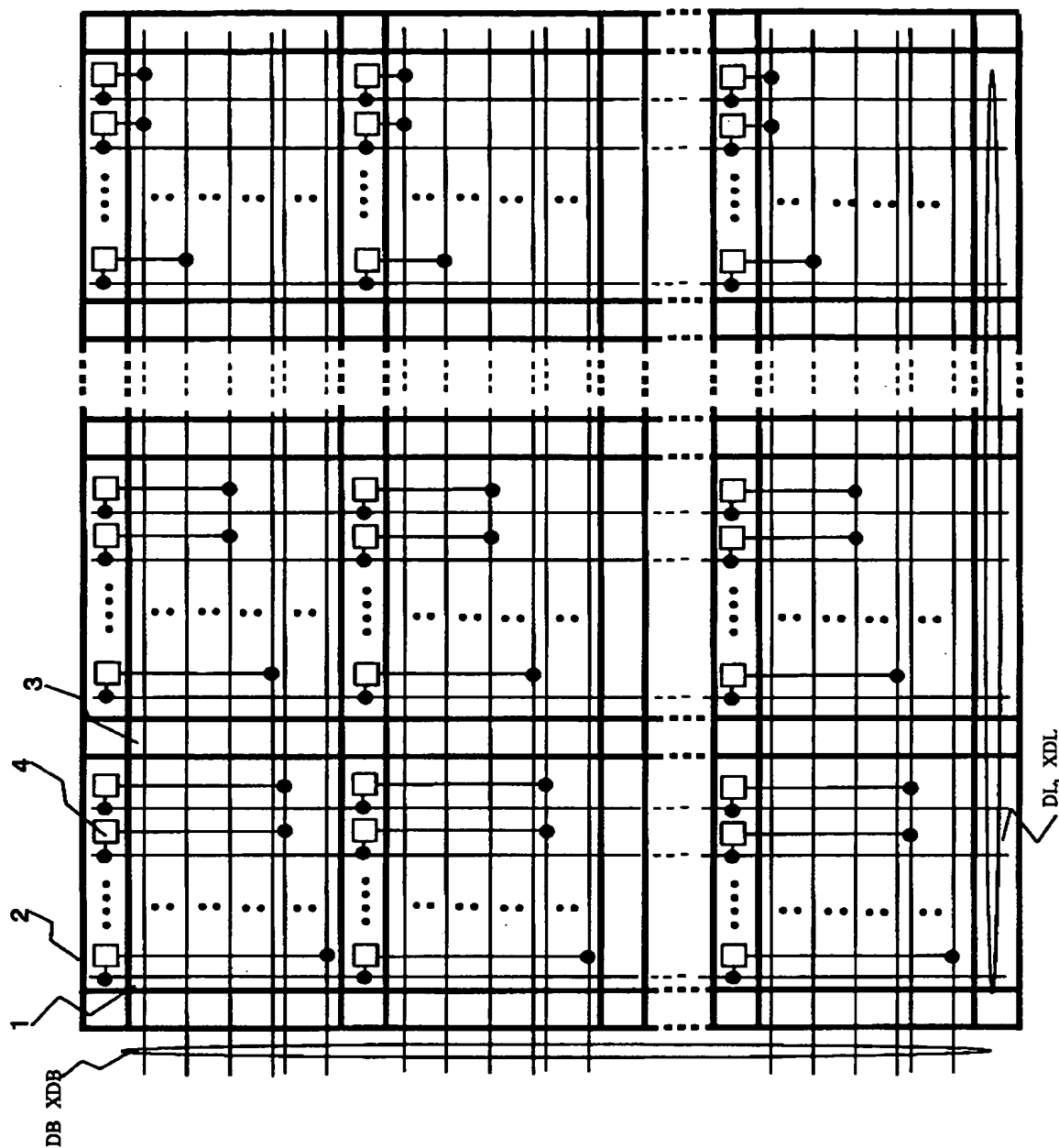
【図 6】



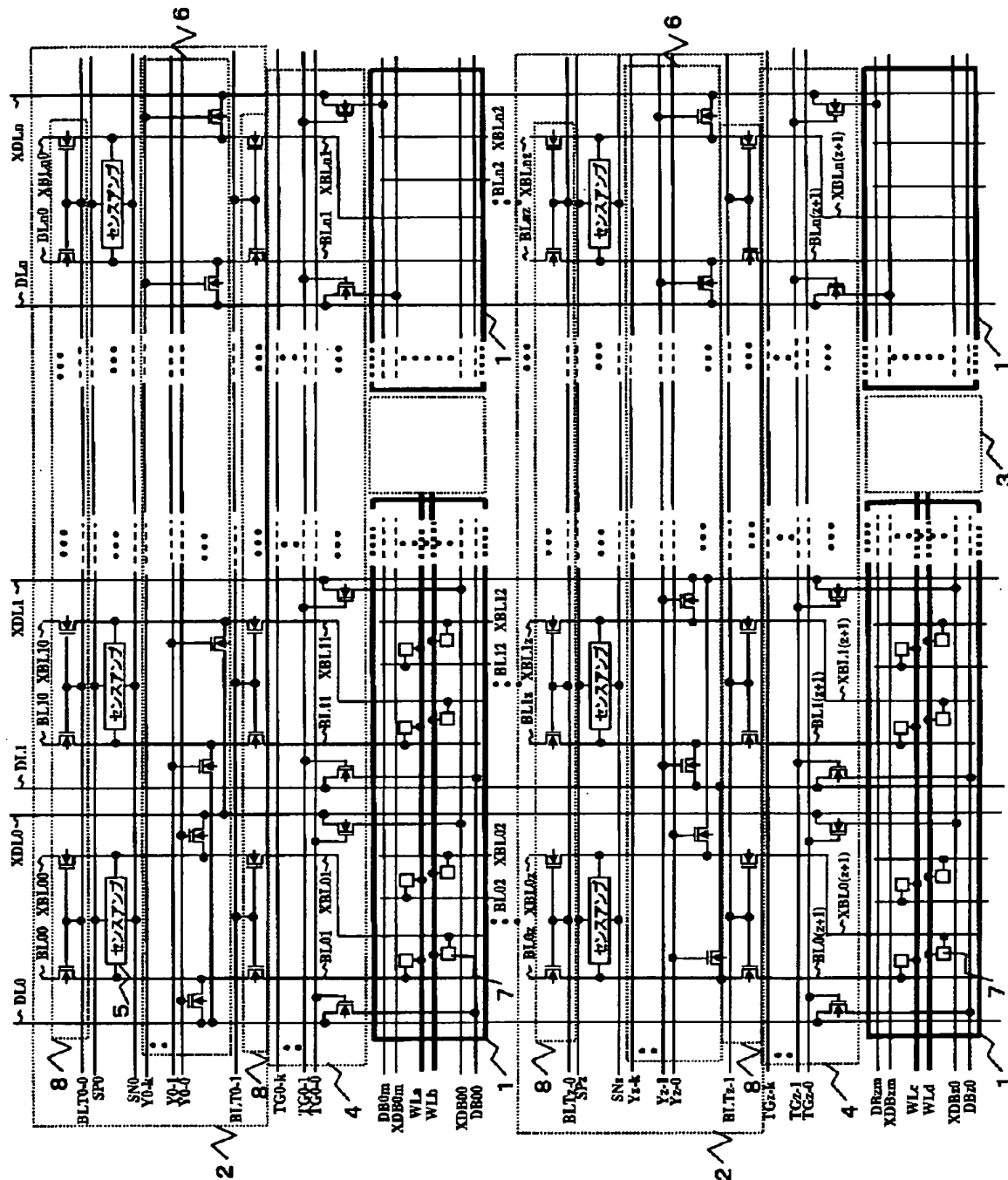
【図 7】



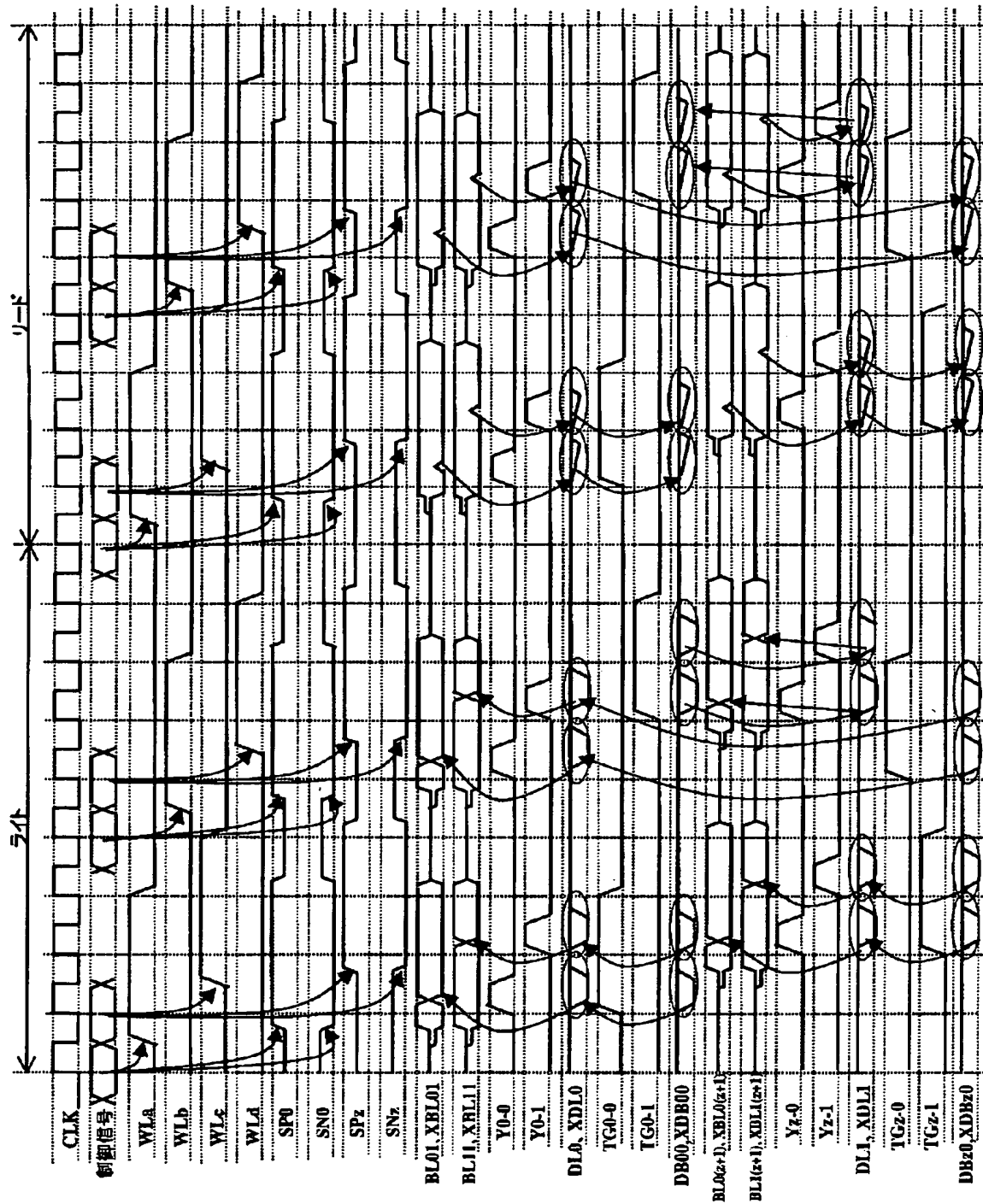
【図 8】



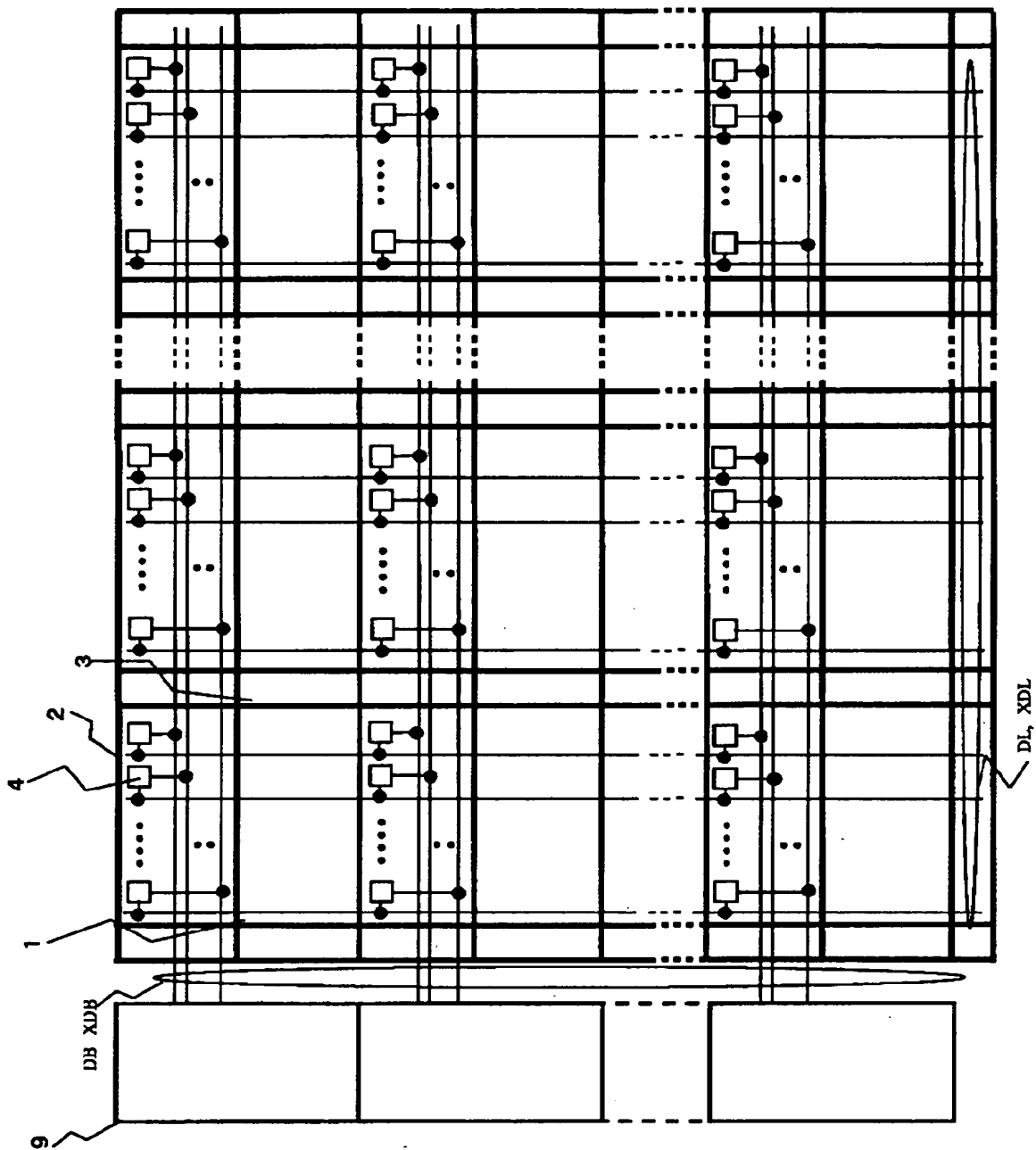
【图9】



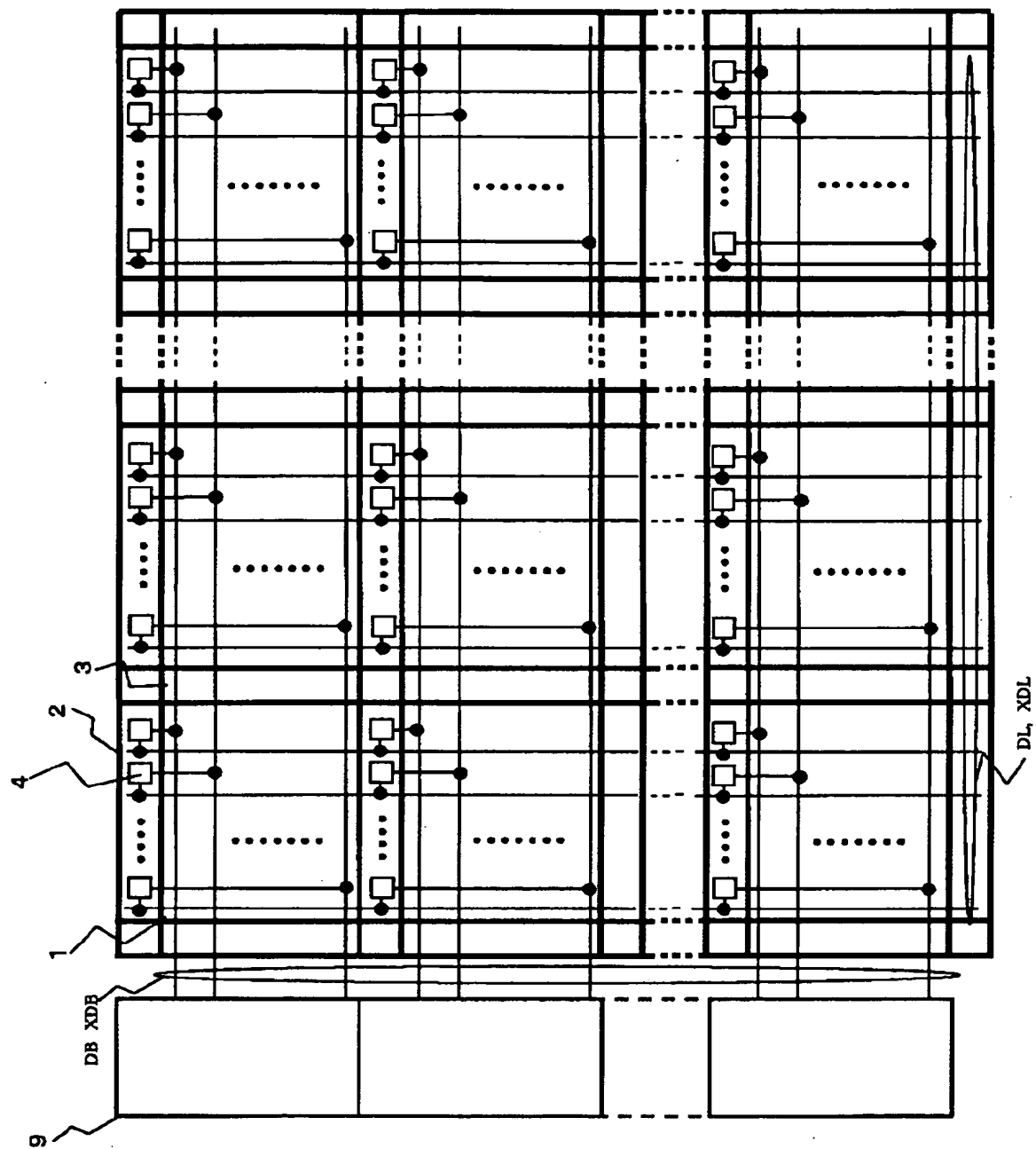
【図10】



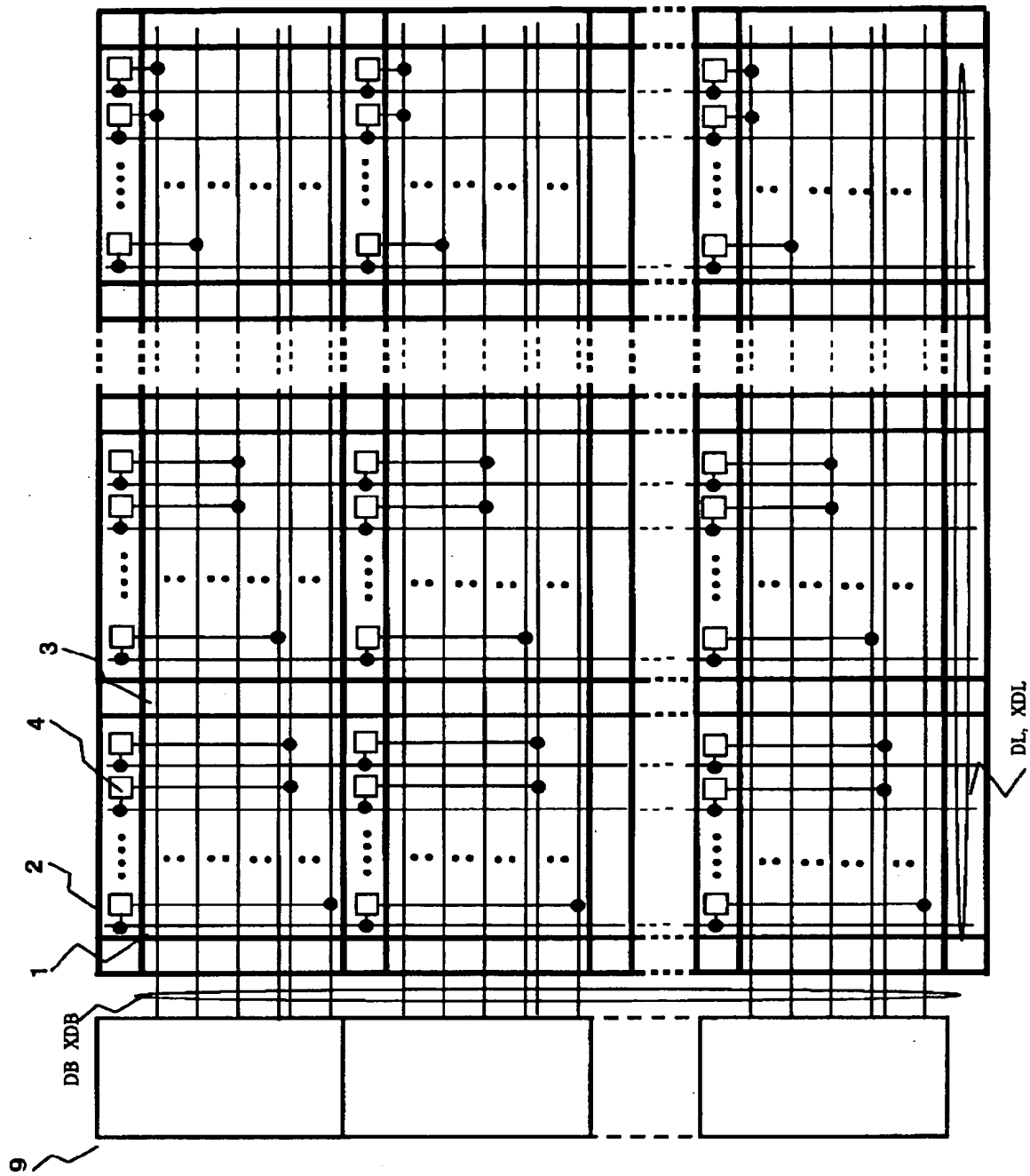
【図 1 1】



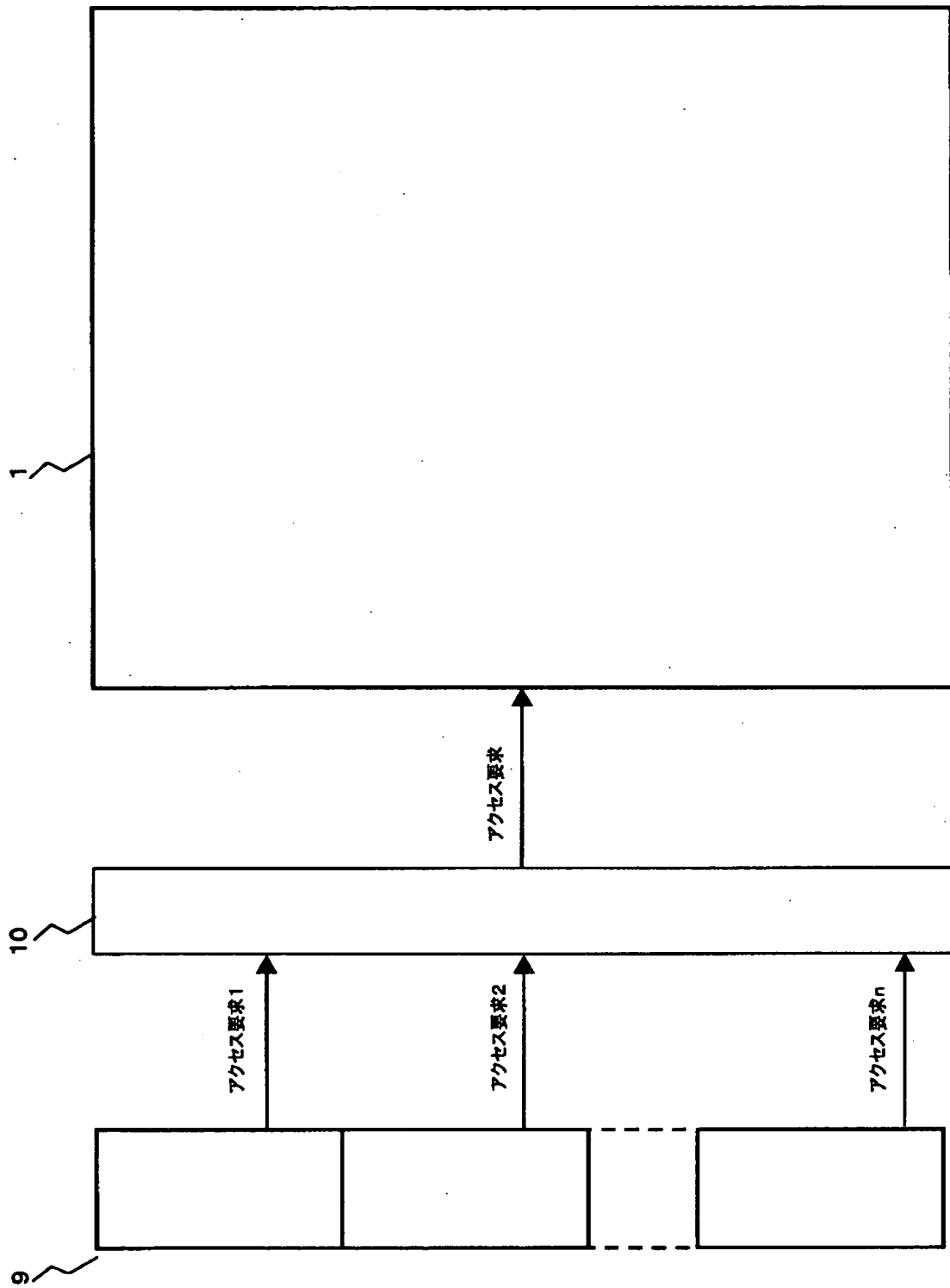
【図 1 2】



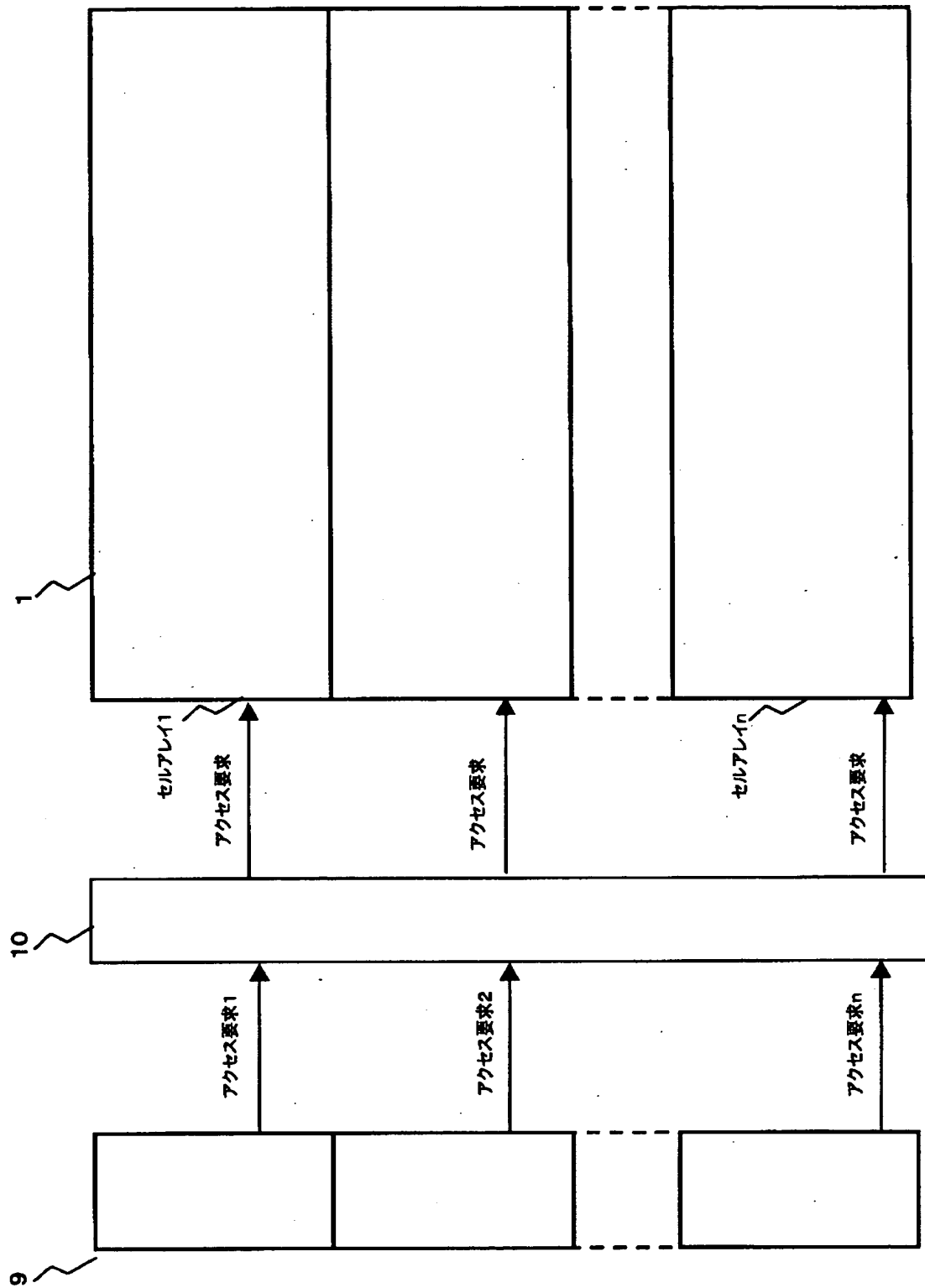
【図 13】



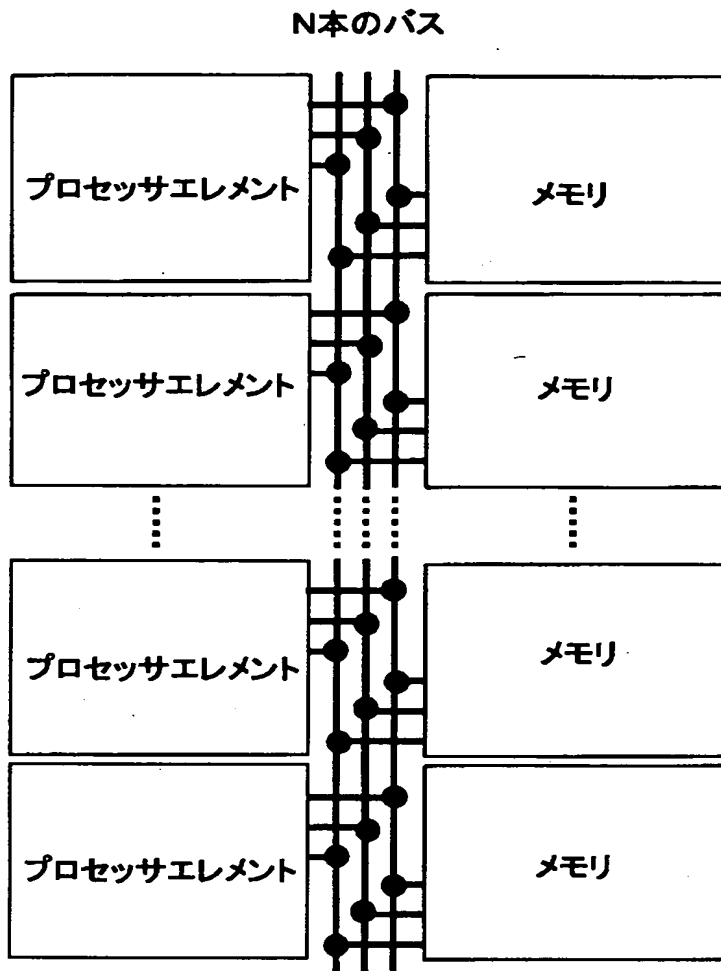
【図 1 4】



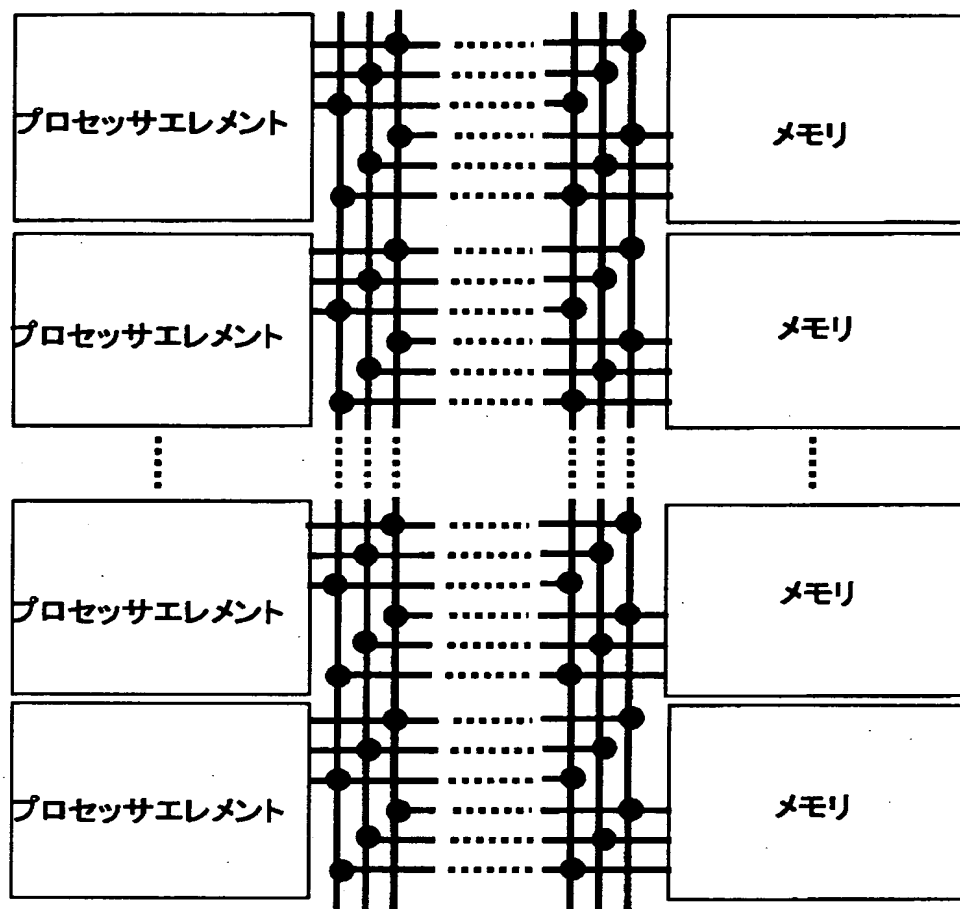
【図15】



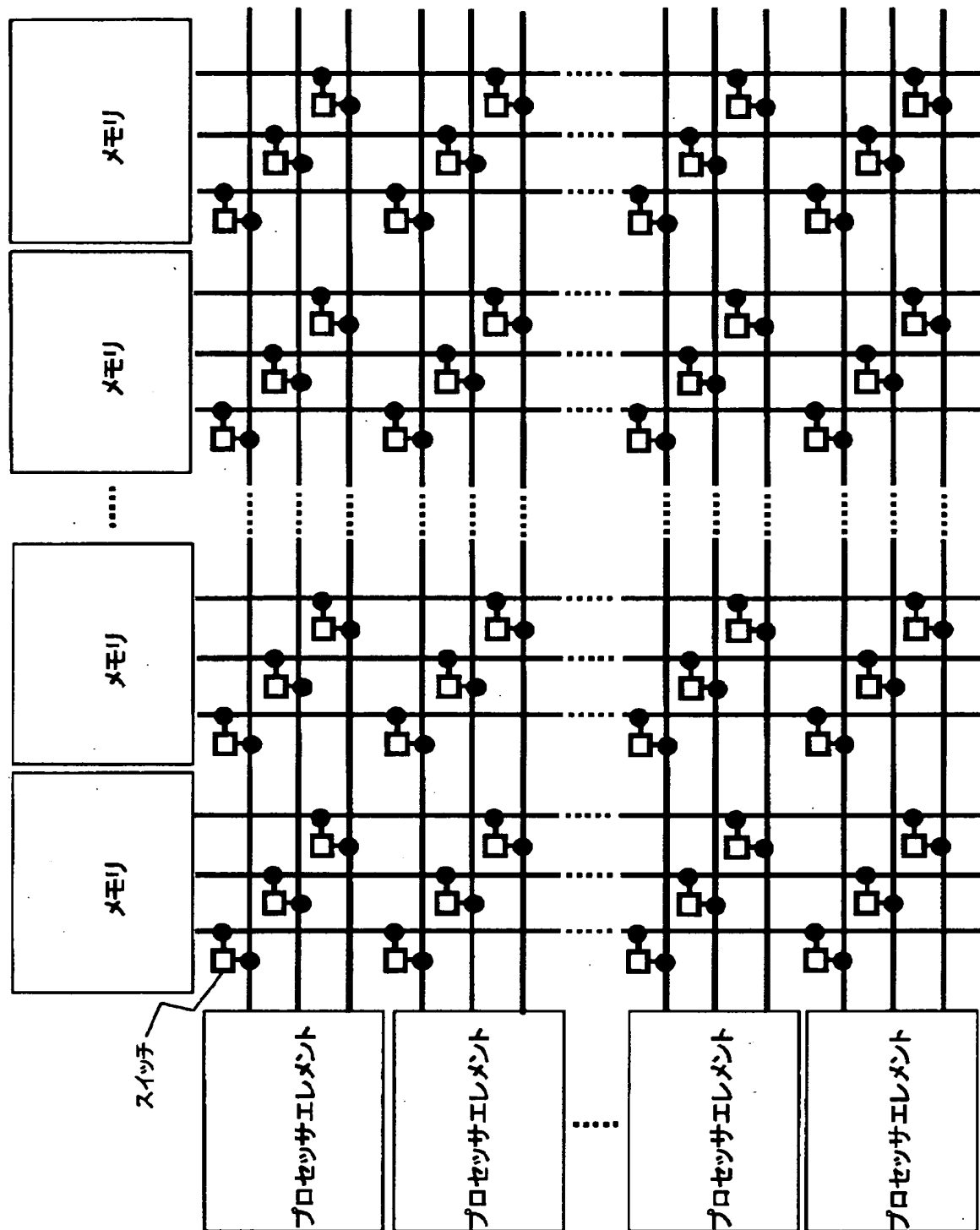
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 従来のメモリ混載型マルチプロセッサでは、特定の領域のメモリを1プロセッサエレメントに割り当てるか、すべてのメモリ領域をすべてのプロセッサエレメントが使用できるようにメモリ領域の外側にクロスバススイッチを配置していたので、1プロセッサエレメントが特定領域のメモリしかアクセスできないか、メモリ領域の外側にプロセッサとメモリを結合するバス配線が必要となつて、チップ面積の増大を招くという課題を有していた。

【解決手段】 メモリ領域上にクロスバー配線を行い、且つ、クロスバースイッチをセンスアンプ領域に配置することにより、チップ面積を増加させることなくメモリの共有化が可能となるとともに、連続して多数のデータを取り出すことが可能となり、バンド幅の高いシステムを構成できる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

| | |
|----------|-----------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 8 日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府門真市大字門真 1 0 0 6 番地 |
| 氏 名 | 松下電器産業株式会社 |